

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-111521

(43) 公開日 平成10年(1998)4月28日

(51) Int.Cl.\*

G 0 2 F 1/136  
1/1333  
H 0 1 L 29/786  
21/336

識別記号

5 0 0

F I

G 0 2 F 1/136  
1/1333  
H 0 1 L 29/786  
6 1 7 V

審査請求 未請求 請求項の数17 FD (全 17 頁)

(21) 出願番号

特願平8-283026

(22) 出願日

平成8年(1996)10月4日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 岩野 英明

長野県諏訪市大和3丁目3番5号 セイコ  
一エプソン株式会社内

(72) 発明者 桑川 吉文

長野県諏訪市大和3丁目3番5号 セイコ  
一エプソン株式会社内

(72) 発明者 山崎 康二

長野県諏訪市大和3丁目3番5号 セイコ  
一エプソン株式会社内

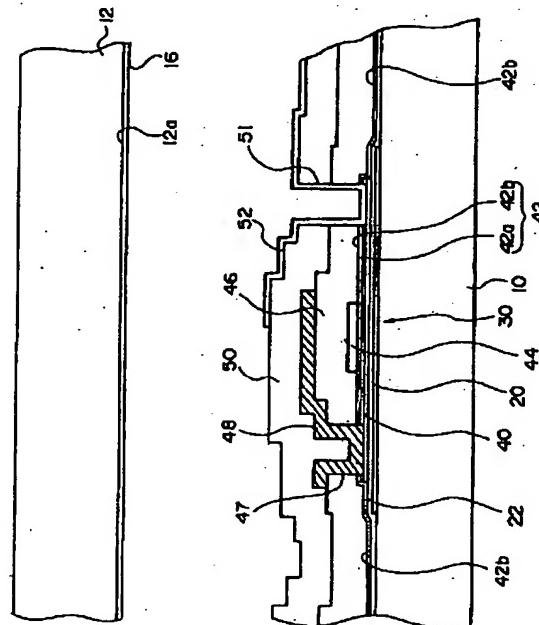
(74) 代理人 弁理士 井上 一 (外2名)

(54) 【発明の名称】 液晶表示パネルの製造方法及び液晶表示パネル並びにそれを用いた電子機器

(57) 【要約】 (修正有)

【課題】 TFT形成時の基板サイズが大型化しても、所定のセルギャップ内に止めることのできる液晶表示パネルの製造方法及び液晶表示パネル並びにそれを用いた電子機器の提供。

【解決手段】 TFT30のソース、ドレインとなるポリシリコン層40の上に形成されるゲート酸化膜42を、熱酸化膜42aとCVD酸化膜42bとする。熱酸化膜42aは、ポリシリコン層40を1050°C以下で熱酸化して形成され、膜厚は0.015~0.05μm、より好ましくは0.02~0.035μmである。その上に形成されるCVD酸化膜は、1050°C以下で少なくとも熱酸化膜上に気相成長され、その膜厚は0.02μm以上で、CVD酸化膜は、熱酸化膜を含む第1の基板10の全面に形成しても良い。ポリシリコン層が、液晶の保持容量のための容量線として兼用される場合、ゲート酸化膜42のトータル膜厚は、0.05~0.12μmが好ましい。



1

## 【特許請求の範囲】

【請求項1】 半導体薄膜トランジスタが形成された第1の基板と、それに対向する第2の基板と、の間に液晶を封入して成る液晶表示パネルを製造する方法において、前記第1の基板上に、前記半導体薄膜トランジスタのソース、ドレインとなるポリシリコン層を形成する工程と、前記ポリシリコン層を覆ってゲート酸化膜を形成する工程と、前記ゲート酸化膜上に、前記半導体薄膜トランジスタのゲート層を形成する工程と、前記ゲート酸化膜及び前記ゲート層を覆って第1層間絶縁層を形成する工程と、前記第1層間絶縁層上に、前記ポリシリコン層とコンタクトする金属配線層を形成する工程と、前記第1層間絶縁層及び前記金属配線層を覆って第2層間絶縁層を形成する工程と、前記第2層間絶縁層上に、前記ポリシリコン層とコンタクトする透明電極を形成する工程と、を有し、前記ゲート酸化膜の形成工程は、前記ポリシリコン層を1050℃以下の温度にて熱酸化して、0.015～0.05μmの膜厚を有する熱酸化膜を形成する工程と、1050℃以下の温度にて少なくとも前記熱酸化膜上にシリコン酸化膜を気相成長させて、0.02μm以上の膜厚を有するCVD膜を形成する工程と、を含むことを特徴とする液晶表示パネルの製造方法。

【請求項2】 請求項1において、

前記熱酸化膜の膜厚を、0.02～0.035μmとしたことを特徴とする液晶表示パネルの製造方法。

【請求項3】 請求項1又は2において、

前記ポリシリコン層の形成工程では、前記ポリシリコン層を前記ゲート酸化膜を介して前記金属配線層と対向する下層位置まで延在形成する工程を含み、前記ゲート酸化膜の形成工程では、前記熱酸化膜と前記CVD酸化膜から成る前記ゲート酸化膜のトータル膜厚を、0.05～0.12μmとしたことを特徴とする液晶表示パネルの製造方法。

【請求項4】 請求項1乃至3のいずれかにおいて、前記CVD酸化膜の形成工程は、シリコンを含むガスに対する酸素を含むガスの流量比を、40～60としたことを特徴とする液晶表示パネルの製造方法。

【請求項5】 請求項1乃至4のいずれかにおいて、前記CVD酸化膜を形成する工程での温度を、750～850℃としたことを特徴とする液晶表示パネルの製造方法。

【請求項6】 請求項1乃至5のいずれかにおいて、前記CVD酸化膜の形成工程での圧力を、200Pa以

50

2

下としたことを特徴とする

【請求項7】 請求項1乃至6のいずれかにおいて、前記CVD酸化膜の形成工程の後に、前記CVD酸化膜をアニールして、前記CVD酸化膜中の固定チャージを除去する工程をさらに有することを特徴とする液晶表示パネルの製造方法。

【請求項8】 請求項1乃至7のいずれかにおいて、前記第1の基板に前記ポリシリコン層を形成する前に、この前記熱酸化膜の形成工程での熱酸化温度とほぼ等しい温度にて、前記第1の基板をアニールすることを特徴とする液晶表示パネルの製造方法。

【請求項9】 請求項1乃至8のいずれかにおいて、前記ポリシリコン層の形成工程は、前記第1の基板上にアモルファスシリコンを形成する工程と、前記アモルファスシリコンを固相成長させて前記ポリシリコン層を形成する工程と、を含むことを特徴とする液晶表示パネルの製造方法。

【請求項10】 請求項1乃至9のいずれかにおいて、直径又は対角線長さが8インチ以上の基板を用いて前記各層を形成し、その後に所定の大きさの前記第1の基板に切断する工程を含むことを特徴とする液晶表示パネルの製造方法。

【請求項11】 半導体薄膜トランジスタが形成された第1の基板と、それに対向する第2の基板と、の間に液晶を封入して成る液晶表示パネルを製造する方法において、

前記第1の基板上に、前記半導体薄膜トランジスタのソース、ドレインとなるポリシリコン層を形成する工程と、

前記ポリシリコン層を覆ってゲート酸化膜を形成する工程と、

前記ゲート酸化膜上に、前記半導体薄膜トランジスタのゲート層を形成する工程と、

前記ゲート酸化膜及び前記ゲート層を覆って第1層間絶縁層を形成する工程と、

前記第1層間絶縁層上に、前記ポリシリコン層とコンタクトする金属配線層を形成する工程と、

前記第1層間絶縁層及び前記金属配線層を覆って第2層間絶縁層を形成する工程と、

前記第2層間絶縁層上に、前記ポリシリコン層とコンタクトする透明電極を形成する工程と、を有し、

前記ゲート酸化膜の形成工程は、前記ポリシリコン層を熱酸化して熱酸化膜を形成する工程と、

前記熱酸化膜が形成された前記第1の基板の全面上に、シリコン酸化膜を気相成長させてCVD膜を形成する工程と、を含むことを特徴とする液晶表示パネルの製造方法。

【請求項12】 半導体薄膜トランジスタが形成された第1の基板と、それに対向する第2の基板との間に液晶を封入して成る液晶表示パネルにおいて、

前記第1の基板は、

前記半導体薄膜トランジスタのソース、ドレインとなるポリシリコン層と、

前記ポリシリコン層を覆って形成されたゲート酸化膜と、

前記ゲート酸化膜上に形成された前記半導体薄膜トランジスタのゲート層と、

前記ゲート酸化膜及び前記ゲート層を覆って形成された第1層間絶縁層と、

前記第1層間絶縁層上に形成され、前記ポリシリコン層とコンタクトする金属配線層と、

前記第1層間絶縁層及び前記金属配線層を覆って形成された第2層間絶縁層と、

前記第2層間絶縁層上に形成され、前記ポリシリコン層とコンタクトする透明電極と、

を有し、

前記ゲート酸化膜は、

前記ポリシリコン層を1050°C以下の温度にて熟酸化して形成され、0.015~0.05μmの膜厚を有する熟酸化膜と、

1050°C以下の温度にて少なくとも前記熟酸化膜上にシリコン酸化膜を気相成長させることで形成され、0.02μm以上の膜厚を有するCVD膜と、

を有することを特徴とする液晶表示パネル。

【請求項13】 請求項12において、

前記熟酸化膜の膜厚は、0.02~0.035μmであることを特徴とする液晶表示パネル。

【請求項14】 請求項12又は13において、

前記ポリシリコン層が前記ゲート酸化膜を介して前記金属配線層と対向する下層位置まで延在され、前記液晶に並列に接続される保持容量の容量線として兼用されることを特徴とする液晶表示パネル。

【請求項15】 請求項14において、

前記熟酸化膜と前記CVD酸化膜から成る前記ゲート酸化膜のトータル膜厚を、0.05~0.12μmとすることを特徴とする液晶表示パネル。

【請求項16】 半導体薄膜トランジスタが形成された第1の基板と、それに対向する第2の基板との間に液晶を封入して成る液晶表示パネルにおいて、

前記第1の基板は、

前記半導体薄膜トランジスタのソース、ドレインとなるポリシリコン層と、

前記ポリシリコン層を覆って形成されたゲート酸化膜と、

前記ゲート酸化膜上に形成された前記半導体薄膜トランジスタのゲート層と、

前記ゲート酸化膜及び前記ゲート層を覆って形成された

第1層間絶縁層と、

前記第1層間絶縁層上に形成され、前記ポリシリコン層とコンタクトする金属配線層と、

前記第1層間絶縁層及び前記金属配線層を覆って形成された第2層間絶縁層と、

前記第2層間絶縁層上に形成され、前記ポリシリコン層とコンタクトする透明電極と、

を有し、

前記ゲート酸化膜は、

前記ポリシリコン層を熱酸化して形成された熱酸化膜と、

前記熱酸化膜が形成された前記第1の基板の全面上にシリコン酸化膜を気相成長させることで形成されたCVD酸化膜と、

を有することを特徴とする液晶表示パネル。

【請求項17】 請求項12乃至16のいずれかに記載の液晶表示パネルを有することを特徴とする電子機器。

【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】 本発明は、スイッチング素子として薄膜トランジスタ(TFT)を用いた液晶表示パネルの製造方法及び液晶表示パネル並びにそれを用いたプロジェクタ等の電子機器に関する。

#### 【0002】

【背景技術】 この種の液晶表示パネルは、プロジェクタのライトバルブ等として広く用いられ、製造効率の向上が強く望されている。従来、TFTが形成される基板は、5インチシリコン基板が用いられ、その上に各層が形成された後に切断されて、所定の大きさの液晶表示基板とされていた。

【0003】 液晶表示基板のスループットを増大するには、一枚の基板より得られる液晶基板の数を増大する必要があり、本発明者は、5インチシリコン基板に代えて8インチシリコン基板を用いることを検討した。

#### 【0004】

【発明が解決しようとする課題】 図20は、直径8インチのシリコン基板を1000°C、1050°C及び1150°Cにてそれぞれアニーリングした場合の、シリコン基板の反り量を示している。この時、シリコン基板は、通常の熱処理と同様にシリコン基板の周縁に近い部分を支持してアリーリングしたので、その中心と周縁部との間に、図20に示す量の反りが発生した。

【0005】 ところで、液晶表示パネルは、走査信号線、データ信号線及びTFTが形成された第1の基板と、共通電極が形成された第2の基板とを所定のセルギャップに止まるようにして対向させ、その間に液晶を封入して製造される。このとき、第1の基板は、膜付け処理した8インチウエハを所定の大きさに切断して得られる。ここで、上述したように、8インチウエハの反り量が大きいと、基板組立時に所定のセルギャップ内に止め

ることができない。

【0006】ここで、TFTを形成する際の最高プロセス温度は、ゲート酸化膜の形成工程である。従来のゲート酸化膜は、熱酸化工程の実施により形成され、その熱酸化温度は1150°C以上であった。従って、図20によると、8インチウエハの反り量は800μmにもなり、到底所定のセルギャップ内に止めることはできない。

【0007】このゲート酸化膜を、熱酸化膜とCVD酸化膜との二層にする技術が、特開昭60-164362号、特開昭63-1071号、特開昭63-316479号、特開平2-65274号、特開平2-174230号などに開示されているが、熱酸化温度が高い場合には、一層のみの熱酸化膜と同じ問題は依然として残る。

【0008】また、ゲート酸化膜を、熱酸化膜とCVD酸化膜との二層にした場合、ラビング処理される基板表面の段差が大きくなり、この部分にて液晶の配向を行うことができない恐れがある。

【0009】そこで、本発明の目的とするところは、TFT形成時の基板サイズが大型化しても、所定のセルギャップ内に止めることのできる液晶表示パネルの製造方法及び液晶表示パネル並びにそれを用いた電子機器を提供することにある。

【0010】本発明の他の目的は、ゲート酸化膜を熱酸化膜とCVD酸化膜との二層にしても、ラビング処理される基板表面の段差を少なくすることができる液晶表示パネルの製造方法及び液晶表示パネル並びにそれを用いた電子機器を提供することにある。

#### 【0011】

【課題を解決するための手段】請求項1の発明は、半導体薄膜トランジスタが形成された第1の基板と、それに対向する第2の基板と、の間に液晶を封入して成る液晶表示パネルを製造する方法において、前記第1の基板上に、前記半導体薄膜トランジスタのソース、ドレインとなるポリシリコン層を形成する工程と、前記ポリシリコン層を覆ってゲート酸化膜を形成する工程と、前記ゲート酸化膜上に、前記半導体薄膜トランジスタのゲート層を形成する工程と、前記ゲート酸化膜及び前記ゲート層を覆って第1層間絶縁層を形成する工程と、前記第1層間絶縁層上に、前記ポリシリコン層とコンタクトする金属配線層を形成する工程と、前記第1層間絶縁層及び前記金属配線層を覆って第2層間絶縁層を形成する工程と、前記第2層間絶縁層上に、前記ポリシリコン層とコンタクトする透明電極を形成する工程と、を有し、前記ゲート酸化膜の形成工程は、前記ポリシリコン層を1050°C以下の温度にて熱酸化して、0.015~0.05μmの膜厚を有する熱酸化膜を形成する工程と、1050°C以下の温度にて少なくとも前記熱酸化膜上にシリコン酸化膜を気相成長させて、0.02μm以上の膜厚

を有するCVD膜を形成する工程と、を含むことを特徴とする液晶表示パネルの製造方法。

【0012】また、請求項12の発明は、請求項1の発明方法により得られる液晶表示パネルを定義している。

【0013】請求項1及び12の各発明によれば、ゲート酸化膜形成工程のプロセス温度は1050°C以下であり、図20から明らかのように、例えば8インチウエハなどの大型基板を用いても、基板の反り量を100μm以下に押さえることが可能となる。

10 【0014】また、熱酸化膜の膜厚は0.015μm以上であるから、ポリシリコン層と熱酸化膜との間のMOS界面を確実に形成できる。また、熱酸化膜の膜厚の上限が、0.05μmであるから、熱酸化時間が短く、反りの発生をより少なくできることに加えて、ポリシリコン層と熱酸化膜との間のMOS界面の荒れを少なくでき、熱酸化膜自体の絶縁耐圧を確保できる。

【0015】この熱酸化膜のみでは膜厚が足らずに絶縁耐圧を補償できないので、MOS界面の荒れを反映して表面が凹凸となる熱酸化膜を、ステップカバレージの良好なCVD酸化膜により覆っている。このCVD酸化膜は、0.02μm以上あれば、ゲート耐圧を確保できる。

20 【0016】請求項2及び13の各発明は、前記熱酸化膜の膜厚を、0.02~0.035μmとしたことを定義している。

【0017】熱酸化膜の膜厚を0.02μm以上することで、MOS界面の形成がより確実となり、その上限を0.035μmとして熱酸化時間をより少なくすることで、基板の反りと界面の荒れとをより低減できる。

30 【0018】請求項3、14及び15の各発明は、ポリシリコン層を液晶の保持容量のための容量線として用い、そのときのゲート酸化膜の好適なトータル膜厚を定義している。すなわち、請求項3では、前記ポリシリコン層の形成工程では、前記ポリシリコン層を前記ゲート酸化膜を介して前記金属配線層と対向する下層位置まで延長形成する工程を含み、前記ゲート酸化膜の形成工程では、前記熱酸化膜と前記CVD酸化膜から成る前記ゲート酸化膜のトータル膜厚を、0.05~0.12μmとしたこと定義している。

40 【0019】こうすると、ポリシリコン層と金属配線層とで、液晶に並列に接続される保持容量を形成できる。ポリシリコン層を保持容量の容量線として用いる場合、その容量の大きさは、ゲート酸化膜のトータル膜厚に依存し、上記の範囲でトータル膜厚を設定すれば、保持容量線の面積を過度に拡大せずに液晶の保持容量として適合する容量を確保できる。

【0020】請求項4~6は、CVD酸化膜の形成工程での好適なプロセス条件を定義している。請求項4に示すように、前記CVD酸化膜の形成工程では、シリコンを含むガスに対する酸素を含むガスの流量比を、40~

6.0とすることが好ましい。流量比は上記範囲外に設定してもよいが、上記範囲に設定すると、CVD酸化膜の膜厚の面内均一性が5%以下となる。

【0021】また、請求項5に示すように、前記CVD酸化膜を形成する工程での温度を、750~850°Cとすることが好ましい。

【0022】この温度は1050°C以下であれば上記範囲外に設定してもよいが、上記範囲に設定すると、CVD膜のステップカバレージを0.7以上確保できる。

【0023】さらに、請求項6に示すように、前記CVD酸化膜の形成工程での圧力を、200Pa以下とすることが好ましい。

【0024】この圧力は、300Pa以下でも実施できるが、200Pa以下とすると、CVD膜のステップカバレージを0.7以上確保できる。

【0025】請求項7の発明に示すように、前記CVD酸化膜の形成工程の後に、前記CVD酸化膜をアニールするとよい。こうすると、前記CVD酸化膜中の固定チャージを除去でき、TFTの特性を高めることができる。

【0026】請求項8に示すように、前記第1の基板に前記ポリシリコン層を形成する前に、この前記熱酸化膜の形成工程での熱酸化温度とほぼ等しい温度にて、前記第1の基板をアニールすることが好ましい。

【0027】こうすると、熱酸化膜形成工程にて第1の基板に生ずる歪みを予め除去でき、反り量をさらに少なくすることができる。

【0028】請求項9に示すように、前記ポリシリコン層の形成工程は、前記第1の基板上にアモルファスシリコンを形成する工程と、前記アモルファスシリコンを固相成長させて前記ポリシリコン層を形成する工程と、を含むことが好ましい。

【0029】ポリシリコン層をCVDにて形成した場合に比較して、グレインサイズがおおきくなり、ポリシリコン層が単結晶シリコンの特性に近づいて、半導体としての特性を向上させることができる。

【0030】請求項10に示すように、直徑又は対角線長さが8インチ以上の基板を用いて前記各層を形成し、その後に所定の大きさの前記第1の基板に切断する工程を含むことが好ましい。

【0031】本発明では、特に8インチ以上の基板を用いても、その反り量を100μm以下に押さえることができ、この基板から切断して得られる液晶基板を用いることで、所定のセルギャップに支持して液晶表示パネルを組立することができます。

【0032】請求項11の発明は、前記ゲート酸化膜の形成工程が、前記ポリシリコン層を熱酸化して熱酸化膜を形成する工程と、前記熱酸化膜が形成された前記第1の基板の全面上に、シリコン酸化膜を気相成長させてCVD膜を形成する工程と、を含むことを主題とする液晶

表示パネルの製造方法を定義している。請求項16は、請求項11の発明方法にて得られる液晶表示パネルを定義している。

【0033】CVD酸化膜を、前記熱酸化膜が形成された前記第1の基板の全面に形成することで、熱酸化膜上ののみを覆う場合のように、パターニングのためのフォトリソグラフィ工程及びエッチング工程などの工程を省略でき、処理時間を大幅に短縮できる。その上、熱酸化膜上以外の領域に形成されたCVD酸化膜は、第1の基板上に全ての膜が形成された後のラビング処理時に、ラビング処理される基板表面上の段差を少なくするよう寄与する。段差が少ないとラビング処理されない領域の発生を防止でき、液晶の配向を好適に実施することができる。

【0034】請求項17は、請求項12乃至16のいずれかに記載の液晶表示パネルを有するする電子機器を定義している。この電子機器によれば、上述した効果が得られる液晶表示パネルにより、表示特性を改善できる。

### 【0035】

20 【発明の実施の態様】以下、本発明の実施の態様について、図面を参照して説明する。

【0036】図1は、アクティブマトリクス型液晶表示パネルの断面を示している。図1において、この液晶表示パネルは、透明基板な2枚の基板10, 12間に、液晶14を封入して構成されている。一方の基板10は石英等の絶縁基板であり、この石英基板10には後述するとおり、各画素の液晶14に直列に接続されたスイッチング素子としてのトップゲート型薄膜トランジスタ(TFT)30がアレイ状に形成される。この石英基板10には、液晶ドライブ回路を構成するTFTも形成されている。他方の基板12は例えばガラス基板にて形成されている。このガラス基板12が石英基板10と対向する面12aには、該対向面12aを覆ってITO(インジウム・ティン・オキサイド)から成る透明電極16が形成され、共通電極として機能する。なお、対向基板12には、ブラックマトリクスのためのクロム層などは形成されてなく、このブラックマトリクスは、後述の通り、石英基板10側のみに配置されている。

【0037】次に、石英基板10に形成される各層について、図1及び図2を参照して説明する。図2は、石英基板10上の各画素領域に形成される各層の透視図であり、デュアルゲート型のTFT構造が示されている。この石英基板10上には、主として、上述のTFT30と、TFT30と石英基板10との間に形成された遮光層20と、この遮光層20とTFT30とを絶縁する絶縁層22とを有する。

【0038】TFT30は、図1及び図2に示すように、トランジスタのソース、ドレインとなる第1ポリシリコン層40と、トランジスタのゲートとなる第2ポリシリコン層44を有する。両ポリシリコン層40, 44

の間に、第1ポリシリコン層40を覆って形成されたSiO<sub>2</sub>から成るゲート酸化膜42が設けられている。第2ポリシリコン層44は、図2及び図3(D)のとおり、液晶表示パネルの第1の方向(図の横方向)と平行に複数本設けられ、液晶表示パネルの複数の走査信号線として用いられる。

【0039】また、ゲート酸化膜42及び第2ポリシリコン層44を覆って第1層間絶縁層46が設けられている。その上に、トランジスタのソース線として機能する例えばアルミニウム(A1)にて形成された金属配線層48が設けられている。この金属配線層48は、第1層間絶縁層46に形成された第1コンタクトホール47を介して、第1ポリシリコン層40と接続されている。なお、この金属配線層48は、図2及び図4(B)のとおり、液晶表示パネルの前記第1の方向と直交する第2の方向(図の縦方向)と平行に複数本設けられ、液晶表示パネルの複数のデータ信号線として用いられる。

【0040】この金属配線層48及び第1層間絶縁層46を覆って第2層間絶縁層50が設けられ、その上に例えばITOから成る透明電極52が各画素領域と対向する位置に形成されている。この透明電極52は、第1、第2層間絶縁層46、50に形成された第2コンタクトホール51を介して、第1ポリシリコン層40に接続され、画素電極として機能する。

【0041】この液晶表示パネルでは、ある行の走査信号線に対応する第2ポリシリコン層44に、TFT30の閾値以上のオン電圧を選択期間内に印加すると、その行に存在する全てのTFTがオンする。その際、各列のデータ信号線に対応する複数の金属配線層48を介して、各画素毎にデータ信号が供給され、オンされた各TFT30を介して各透明電極52に信号電位が印加される。こうすると、対向基板12の透明電極16の共通電位と、石英基板10側の各画素毎の透明電極52の信号電位との差電圧が、液晶14に印加されることになる。非選択期間では、TFT30がオフされるので、選択期間に液晶14にチャージされた電圧により、次の選択期間まで表示状態が維持される。なお、この非選択期間での電圧の保持特性を改善するために、後述する保持容量が、液晶14と並列に接続されている。この動作を、各行毎に繰り返し実施することで、液晶表示パネルに所望の画像を表示することができる。

【0042】次に、石英基板10上に形成される各層について、図3(A)～(D)及び図4(A)～(C)に示す製造工程を参考しながら説明する。

【0043】<アニール工程>製造段階での石英基板10は、8インチウエハ形状である。まず、この石英基板10を、石英基板10の最高プロセス温度(今回はゲート酸化膜42のための熱酸化工程での1000°C)以上の温度、例えば1000°Cにて、不活性ガス例えばN<sub>2</sub>ガス雰囲気でアニール処理した。この前処理により、後

に実施される最高プロセス温度での熱処理時に石英基板10に生ずる歪みを予め除去している。

【0044】<遮光層20の形成工程>この遮光層20は、石英基板10の表面などでの反射光が、TFT30に入射すること防止するものである。この遮光層20により、TFT30内にフォトキャリアが形成されることを防止でき、リーク電流に起因したクロストークが防止される。

【0045】このために、この遮光層20は、図1に示すように、第1ポリシリコン層40の幅より広い幅に亘って形成され、かつ、充分な遮光特性を有する材質にて形成される。この遮光層20の求められる遮光特性として、OD値が3以上、換算すれば、透過率が1/1000以下である。

【0046】この遮光層20の特性として、上記の遮光特性の他、この液晶表示パネルの最高プロセス温度に対する耐熱性を有することが必要となる。本実施例では、後述するとおり、ゲート酸化膜42の熱酸化工程が最高プロセス温度であり、例えば1000°Cである。そこで、この遮光層20は、最高プロセス温度である1000°C以上の融点を有する材質として、金属又は金属化合物を用いている。この種の好適な材質として、タンゲステンシリサイド(WSi)、モリブデンシリサイド(MoSi)などのシリサイド系金属を挙げることができる。この種のシリサイド系金属は、石英基板10との相性が良く、熱膨張係数を石英基板10と近くできる点でも好ましい。これにより、石英基板10等に亀裂、割れが生ずることを防止できる。

【0047】また、この遮光層20は、図3(A)に示すように、TFT30と対向する領域Aと、横方向(走査信号線と平行な方向)に伸びる領域Bとで形成される。このように配置することで、この遮光層20と、これと交差する遮光性を有する金属配線層48とにより、各画素を囲むブラックマトリクスを、石英基板10側のみに構成することができる。これにより、対向基板に設けた遮光層例えばクロム層によりブラックマトリクスを構成する場合とは異なり、石英基板10と対向基板12との厳密な位置合わせは不要となる。また、従来では、2つの基板の位置ずれを考慮してブラックマトリクスの形成層の線幅にマージンを比較的大きく確保する必要があったが、本実施例ではその必要はなくなる。従って、液晶表示パネルの開口率が増大し、明るい表示画面を確保できる。

【0048】この遮光層20はスパッタ法又はCVD(化学的気相成長)により形成し、図3(A)に示す領域A、Bのみ残存されるように、フォトリソングラフィ工程、エッチング工程が実施される。なお、図3(A)のようにブラックマトリクスとして遮光層20を使用する場合には、遮光層20が黒色となるのに充分な厚さを有することが必要である。このため、シリサイド系金属の

11

場合には、 $0.1 \mu m$ 以上の膜厚とすればよい。

【0049】<絶縁層22の形成工程>この絶縁層22は、遮光層20を第1ポリシリコン層40から絶縁するためのものである。この絶縁層22は例えばSiO<sub>2</sub>にて形成され、例えばCVDにより形成される。

【0050】<遮光層20の電位設定と絶縁層22の膜厚について>遮光層20は、他の配線と接続されない場合には、フローティング電位となる。この場合には、絶縁層22の膜厚が薄いと、上述の通り、遮光層20の持つ電荷が、TFT30のスイッチングに悪影響を及ぼす。これを防止するには、絶縁層22の膜厚を厚く形成しなければならない。

【0051】本実施例では、絶縁層22の膜厚に頼らずに、ゲート電位のみに依存した正規のスイッチング動作をTFT30にて実現するために、遮光層20に一定のDC電位を印加している。

【0052】本実施例では、TFT30のゲートに印加されるオフ電位を、遮光層20に常時印加している。画素毎に設けられたTFT30はN型TFTであり、遮光層にはゲートへのオフ電位として例えば-1Vが常時印加される。こうすると、絶縁層22を介して遮光層20が持つ電荷がTFT30に影響があったとしても、この遮光層20の持つ電荷によって誤ってTFT30がオンすることはない。このようにするには、遮光層20に印加する電位を、TFT30の閾値未満の電位とすればよい。Nチャンネル型TFTであれば、グランド電位又は負電位でよい。

【0053】液晶ドライブ回路を形成するTFTと対向して設けられる遮光層にも、オフ電位が印加される。この際、液晶ドライブ回路に用いるトランジスタにN型及びP型TFTが双方用いられる場合には、それらと対向する遮光層には、P、N型TFT毎に異なるオフ電位が印加される。

【0054】このようにすると、遮光層20が持つ電荷によってTFT30のスイッチング動作は影響を受けないため、絶縁膜22の膜厚は、単に遮光層20と第1ポリシリコン層40とを電気的に絶縁できるものであればよい。この場合の遮光層20の膜厚は、 $0.05 \mu m$ 以上あれば良く、遮光層20がフローティング電位である場合に要求される絶縁層22の膜厚( $0.8 \mu m$ 以上)よりも薄くてもよい。この絶縁層22の膜厚は、 $0.05 \sim 1.5 \mu m$ の中から選ぶことができる。

【0055】図3(A)の場合、遮光層22は、走査信号線である第2ポリシリコン層44と対応して、少なくとも走査信号線の本数分だけそれぞれ分離して設けられている。この場合には、各々の遮光層22に、対応する走査信号線への走査信号を供給しても良い。こうすると、走査信号線である第2ポリシリコン層44と遮光層20とは、TFT30をオンさせたい時には共にオン電位となり、オフさせたい時には共にオフ電位となり、T

12

FET30のスイッチングに誤動作が生ずることはなくなる。

【0056】<遮光層20を保持容量の容量線として用いる場合について>図3(A)に示す領域A、Bに加えて、図5に示す領域Cにも遮光層20を形成することができる。この領域Cは、図3(B)に示す第1ポリシリコン層40が同図の縦方向に伸びる領域と対向する領域である。こうすると、遮光層20と第1ポリシリコン層40とで保持容量C1を構成することができる。

【0057】また、第1、第2ポリシリコン層40、44も保持容量C2を構成している。この各保持容量C1、C2、液晶14及びTFT30の電気的な接続関係は図6の通り、液晶14、保持容量C1、C2はそれぞれ並列に接続される。従って、この場合のトータル保持容量はC1+C2となり、保持容量を増大させることができる。

【0058】ここで、この保持容量C1は、絶縁層22の厚さに依存し、上述の絶縁層22の好適な範囲である $0.05 \sim 1.5 \mu m$ の中から選択することで、所望の容量に設定できる。この保持容量C1は、絶縁層22を薄くする程大きくなる。したがって、保持容量C1を大きく確保したい場合には、上述した通り、遮光層20を一定のDC電位に設定して、絶縁層22を薄くすることが好ましい。

【0059】このトータル保持容量C1+C2は、石英基板10上に形成される画素の密度に応じて下記の幅で設定すると良い。画素密度が640～480ドットのVGA(Video Graphics Array)の場合には、20fF～200fFであり、画素密度が800～600ドットのSVGA(Super Video Graphics Array)の場合にも、20fF～200fFである。

【0060】<第1ポリシリコン層40の形成工程>絶縁層22の形成後、石英基板10を約500℃に加熱しながら、モノシリラン(SiH<sub>4</sub>)ガスを500cc/m<sup>3</sup>の流量で供給し、圧力30Paにて、石英基板10上にアモルファスシリコン(a-Si)のデポジション膜を形成した。この処理を約2時間実施することで、 $0.055 \mu m$ の膜厚のa-Si膜を形成した。

【0061】この後、N<sub>2</sub>雰囲気にて、640℃にて約6時間アニール処理し、固相成長によりポリシリコン膜を形成した。ポリシリコン層をCVDにて形成する方法もあるが、これだとグレインの大きさが細かくなってしまう。本実施例では、a-Siから鉛晶でグレインを固相成長させてポリシリコンとしているので、グレインサイズが大きく、形成されたポリシリコン層が単結晶の特性に近くなり、半導体としての特性を向上させている。

【0062】この後、フォトリソグラフィ工程、エッチング工程等の実施により、図3(B)に示すパターンを有する第1ポリシリコン層40が形成される。

【0063】この第1ポリシリコン層40の膜厚は、こ

の後の熱酸化工程により目減りするが、その最終膜厚は、 $0.02 \sim 0.15 \mu\text{m}$ とすると良い。この下限を下回ると、第1ポリシリコン層40の抵抗が大きくなり過ぎ、オン電流を確保できなくなる恐れがある。なお、このオン電流は、MOS界面側の所定厚さ領域にて流れ、それ以上の厚さとなるとリーク電流が増大するので、上記範囲の上限を越えないことが好ましい。

#### 【0064】<ゲート酸化膜42の形成工程>

##### (1) 热酸化膜の形成

まず、第1ポリシリコン層40を $1000^{\circ}\text{C}$ 、ドライ酸素100%の雰囲気で、30分熱酸化した。このとき、 $0.055 \mu\text{m}$ の第1ポリシリコン層40は $0.04 \mu\text{m}$ となり、 $0.03 \mu\text{m}$ の熱酸化膜( $\text{SiO}_2$ )42aがその第1ポリシリコン層40上に形成された。

【0065】図7は熱酸化時間と熱酸化膜厚との関係を示し、図8は熱酸化膜厚と8インチ石英基板10に生ずる反りとの関係を示している。熱酸化温度は、図8に示すように、8インチ石英基板10の反りを $100 \mu\text{m}$ 以下となる $1050^{\circ}\text{C}$ を上限とする。図8から明らかに、熱酸化温度が $1050^{\circ}\text{C}$ を超えた $1100, 1150^{\circ}\text{C}$ では、石英基板10の反りを $100 \mu\text{m}$ 以下に押さえることはできない。

【0066】また、 $1050^{\circ}\text{C}$ 以下で熱酸化しても、その熱酸化時間が長いと、換言すれば熱酸化膜42aの膜厚が厚くなると、石英基板10の反りを $100 \mu\text{m}$ 以下に押さえることはできない。図8によると、熱酸化温度が $1050^{\circ}\text{C}$ 以下では、熱酸化膜厚がほぼ $0.1 \mu\text{m}$ 以下で、石英基板10の反りを $100 \mu\text{m}$ 以下に押さえることができる。しかし、以下に説明する他の要因から、熱酸化膜厚はさらに薄いことが好ましい。

【0067】図9(A)～(F)は、熱酸化後のMOS界面の電子顕微鏡写真を模式的に図示したものであり、熱酸化温度毎のMOS界面の荒れ(凹凸)を示している。同図からわかるように、MOS界面の荒れは熱酸化温度が高いほど少ない。この意味で、熱酸化温度は高いほどよいが、石英基板10の反りを考慮すると、 $1050^{\circ}\text{C}$ 以下とする必要がある。

【0068】本発明者等によれば、上述のMOS界面の荒れは、熱酸化時間が長い程、換言すれば、熱酸化膜厚が厚いほど顕著となることが判明した。そして、このMOS界面の荒れは、その上の熱酸化膜42aに膜密度が粗となる部分を生じさせ、ここに集中的に電流が流れ、熱酸化膜42aの絶縁耐圧が低下してしまう。

【0069】これらのことから考慮すると、熱酸化膜42aの膜厚は、好ましくは $0.015 \sim 0.05 \mu\text{m}$ 、さらに好ましくは $0.02 \sim 0.035 \mu\text{m}$ である。熱酸化膜42aの膜厚の下限は、それより薄いと界面自体の形成が困難となる点から決められている。その上限は、上述の基板の反りと温度との関係を鑑みて絶縁耐圧を確保する観点から決められている。

#### 【0070】(2) CVD酸化膜の形成

上述の熱酸化膜42aの形成により、比較的荒れの少ないMOS界面を形成できるが、これだけだと充分な絶縁耐圧を確保できない。そこで、本実施例では、MOS界面の荒れを反映して凹凸のある熱酸化膜42aを、ステップカバレージ能力の高いCVDにより形成された $\text{SiO}_2$ 膜42bにて覆っている。このCVD酸化膜42bは、図1に示す通り、石英基板10の全面に形成される。これにより、バターニングのためのフォトリソグラフィ工程、エッチング工程などが不要となる。さらに加えて、図1に示す熱酸化膜42a以外の位置にもCVD酸化膜42bを形成することで、石英基板10の最上層である第2層間絶縁膜50及び透明電極52の表面に生ずる段差を少なくできる。このため、液晶配向のためのラビング処理が容易となり、基板10, 12間のセルギヤップを所望の寸法精度内に押さええることが容易となる。

【0071】このCVD酸化膜42bは、シリコンを含むガス例えばモノシラン( $\text{SiH}_4$ )と、酸素を含むガス例えば過酸化チッ素( $\text{N}_2\text{O}$ )とを、例えば流量比で $1 : 50$ の酸素過剰の雰囲気で、HTO法により $\text{SiO}_2$ 膜を気相成長させた。過剰シリコン雰囲気では、CVD酸化膜42bが電荷をもつため好ましくない。このときの圧力は $80 \text{ Pa}$ とした。また、成膜温度は、熱酸化温度と同じ $1050^{\circ}\text{C}$ を上限とし、好ましくは $600 \sim 1000^{\circ}\text{C}$ である。上限は、石英基板10の反りを $100 \mu\text{m}$ 以下とするためであり、下限はCVD膜42bの膜質を確保する観点から決められる。この成膜温度は、より好ましくは $700 \sim 900^{\circ}\text{C}$ 、さらに好ましくは、図10に示すように、ステップカバレージを $0.7$ 以上確保するために、 $750 \sim 850^{\circ}\text{C}$ とする。圧力は、好ましくは $300 \text{ Pa}$ 以下であり、図11に示す通り、ステップカバレージを $0.7$ 以上確保するには、 $200 \text{ Pa}$ 以下とする。圧力の下限については特に制限はないが、図11に示すように、圧力 $40 \text{ Pa}$ にて高いステップカバレージが得られることが確認できた。また、シリコンを含むガス例えばモノシラン( $\text{SiH}_4$ )に対して、酸素を含むガス例えば過酸化チッ素( $\text{N}_2\text{O}$ )の流量比( $\text{N}_2\text{O}/\text{SiH}_4$ )は、図12に示す通り、石英基板10面内の均一性を $10\%$ 以下とする観点から $2.5 \sim 7.5$ とし、面内均一性を $5\%$ 以下にするには、 $4.0 \sim 6.0$ に設定すると良い。

【0072】CVD酸化膜42bの膜厚は、 $0.02 \mu\text{m}$ 以上とすると良い。この数値は、ゲート耐圧を確保する観点から求められ、膜厚が厚いほどステップカバレージは向上する。CVD酸化膜42bの厚さは、このCVD酸化膜42bと熱酸化膜42aとから成るゲート酸化膜42のトータル膜厚を考慮して決定することができる。このゲート酸化膜42の膜厚は、第1, 2ポリシリコン層40, 44にて形成される保持容量C2の大きさ

にも影響する。ゲート酸化膜4 2の膜厚を薄くする程、保持容量C 2を大きくできる。この保持容量C 2を確保する観点から、ゲート酸化膜4 2の膜厚は、0. 05～0. 12 μmとするとよい。

【0073】従って、このトータル膜厚を得るために、上述の熱酸化膜4 2 aの厚さが0. 015～0. 05 μmであることを考慮すると、CVD酸化膜4 2 bの膜厚は0. 03～0. 1 μmの範囲で十分である。熱酸化膜4 2 aの膜厚を上述の通り、0. 02～0. 035 μmとした場合には、CVD酸化膜4 2 bの膜厚は、0. 05～0. 09 μmの範囲で十分である。

【0074】このCVD酸化膜4 2 bは、その後アニーリングされる。不活性ガス例えればN<sub>2</sub>雰囲気で、600～1000°Cの範囲例えれば950°Cで30分アニーリングを実施した。これにより、CVD酸化膜4 2 b中の欠陥を再配列させ、固定チャージを逃がすことができる。上記の温度範囲は、固定チャージを逃がすために必要となる。

【0075】<第1ポリシリコン層4 0へのキャパシターンスの形成工程>図3 (C) の領域Dをマスクして、それ以外の第1ポリシリコン層4 0の容量を作るべき領域に、不純物例えればリンをドーズ量例えれば3×10<sup>14</sup>/cm<sup>3</sup>でドープして、その部分の第1ポリシリコン層4 0を低抵抗化させた。このドーズ量としては、1. 0×10<sup>14</sup>～2. 0×10<sup>15</sup>/cm<sup>3</sup>とするのが好ましい。下限は、第1ポリシリコン層4 0にキャパシターンスを形成するために必要な導電性を確保する観点から求められ、より好ましくは3. 0×10<sup>14</sup>/cm<sup>3</sup>以上あれば十分に低抵抗化される。上限は、ゲート酸化膜4 2の劣化を押さえる観点から求められている。

【0076】<第2ポリシリコン層4 4の形成工程>次に、第2ポリシリコン層を全面に形成し、低抵抗化のために不純物例えればリンをドープする。その後、フォトリソグラフィ工程及びエッチング工程の実施により、図3 (D) に示すようにパターニングされた第2ポリシリコン層4 4によりゲート電極が形成される。ゲート電極4 4は、本実施例ではポリシリコン層4 0に対して2度交差しており、デュアルゲート構造となっている。デュアルゲート構造とすることで、オフ時のリーク電流を低減することができる。なお、デュアルゲートとせずに、ポリシリコン層4 0に対して1度交差するシングルゲートとしてもよい。

【0077】<トランジスタ形成のための不純物の打ち込み工程>まず、N型トランジスタを形成するために、ゲートとなる第2ポリシリコン層4 4をマスクとして、図3 (D) の領域Dのソース、ドレイン領域に不純物リンを、2×10<sup>13</sup>/cm<sup>3</sup>のドーズ量にてライトドープする。さらに、ゲート幅より広いマスクをゲート上に形成して、図3 (D) のソース領域に、不純物ボロンを、2×10<sup>15</sup>/cm<sup>3</sup>のドーズ量にて2回目の打ち込みを

実施してハイドープする。これにより、マスクされた領域が、ライトドープトドレンとなる。この2回目の打ち込み時のドーズ量は、好ましくは1. 0×10<sup>12</sup>～1. 0×10<sup>14</sup>/cm<sup>3</sup>とすると良い。下限を下回ると、抵抗が大きくなりオン電流が減少する。上限を越えると、リーク電流が流れ易くなる。本実施例においては、ソース・ドレン領域に低濃度領域と高濃度領域とを有するLDD構造としているが、LDD構造に限定されるものではなく、ゲート電極に対してソース・ドレン領域が離れているオフセット構造であっても良い。あるいは、ゲート電極をマスクとしてソース・ドレン領域を形成するセルフアライン構造であっても良い。LDD構造あるいはオフセット構造とすることで、オフ時のリーク電流を低減することができる。従って、上述のデュアルゲート構造と併用することで、オフ時のリーク電流はさらに低減される。

【0078】同様にして、石英基板1 0上には、液晶ドライバ回路として用いられるN型トランジスタも形成される。液晶ドライバのP型トランジスタに関しても同様に形成され、即ち、ゲート電極をマスクとしてボロンを1. 0×10<sup>13</sup>/cm<sup>3</sup>のドーズ量にてライトドープする。その後、ゲート電極よりも広いマスクをゲート電極飢えに形成して、リンを1. 0×10<sup>15</sup>/cm<sup>3</sup>のドーズ量にて打ち込んで、LDD構造が形成される。

【0079】<第1層間絶縁層4 6の形成工程>次に、第1層間絶縁層4 6を形成する。これは、TEOS(テトラ・エチル・オソル・シリケート)を140cc/m<sup>3</sup>、基板温度680°C、圧力50Paの条件下で、CVDにより0. 08 μmの膜厚で形成した。この後、950°Cにて20分アニールし、第1層間絶縁層4 6内の不純物を活性化して、その膜質を向上させた。この後、例えればアルゴンと水素から成るフォーミングガスを用い、500°Cにて1時間加熱した。これにより、第1ポリシリコン層4 0に水素を含有させ、シリコン未結合部分を結合させて、ギャップ内準位を減らし、TFT3 0の特性の向上を図った。

【0080】さらに、フォトリソグラフィ工程、エッチング工程の実施により、図4 (A) に示す位置に、第1コンタクトホール4 7を形成した。エッチング工程として、ドライエッチングの実施の後にウェットエッチングを行い、第1ポリシリコン層4 0を露出させるためのライトエッチングを実施した。

【0081】<金属配線層4 8の形成工程>アルミニウム(A 1)をスパッタして、その後パターニングを実施することで、図4 (B) に示すように、金属配線層4 8を形成した。このとき、この金属配線層4 8は、第1コンタクトホール4 7を介して、第1ポリシリコン層4 0と接続される。この金属配線層4 8はA 1に限らず、Cr等の導電性を有する材質であればよい。

【0082】<第2層間絶縁層5 0の形成工程>この第

2層間絶縁層50として、ボロン及びリンを含むSiO<sub>2</sub>(BPSG)を常圧CVD法にて形成した。プロセスガスは、TEOS、TEB(テトラ・エチル・ボーレート)、TMOP(テトラ・メチル・オキシ・フォスレート)を用いた。その後、図4(C)に示す位置に、第2コンタクトホール51を、第1コンタクトホール47と同様の工程の実施により形成した。なお、第2コンタクトホール51のアスペクト比が大きく、第1ポリシリコン層40の厚さの範囲でのエッティングストップ制御が困難である場合には、第1ポリシリコン層40の下層に、例えばポリシリコンシートなどを形成しておくとい。

【0083】<透明電極52の形成工程>第2層間絶縁層50上に、ITO(インジウム・ティン・オキサイド)をスパッタし、その後パターニングして、図2に示すように、透明電極52を形成した。

【0084】なお、上述の実施例では、スイッチング素子をTFTとしたが、反射光によりフォトキャリアが生ずるバック・ツー・バック・ダイオードなどをスイッチング素子とした液晶表示パネルにも同様に適用可能である。

【0085】また、上述の実施例では、第1ポリシリコン層40の下に遮光層20及び絶縁層22を形成したが、これらを必ずしも設ける必要はない。

【0086】<液晶パネルの説明>図13は、上記実施例の液晶パネルのうちのTFTが形成される基板のシステム構成例を示す。互いに交差するように配設されたゲート線102と信号線103との交点に対応してそれぞれ配置された各画素190は、ITO等から成る画素電極114と、TFT191とから成る。TFT191は、信号線103上の画素信号に応じた電圧を、画素電極114に印加するものである。同一行(Y方向)のTFT191は、そのゲートが同一のゲート線102に接続され、そのドレンが対応する画素電極114に接続されている。また、同一列(X方向)のTFT191は、そのソースが同一の信号線103に接続されている。この実施例においては、周辺回路(X、Yシフトレジスタやサンプリング手段)150、160を構成するトランジスタが、画素を駆動するTFTと同様にポリシリコン層を動作層とするポリシリコンTFTで構成されており、周辺回路150、160を構成するトランジスタは、画素駆動用TFTとともに同一のプロセスにより、同時に形成される。

【0087】この実施例では、表示領域(画素マトリクス)120の一側(図13では上側)に上記信号線103を順次選択するシフトレジスタ(以下、Xシフトレジスタと称する)151が配置され、画素マトリクスの他の一側には、上記ゲート線102を順次選択するシフトレジスタ(以下、Yシフトレジスタと称する)161が設けられている。また、Yシフトレジスタ161の次段には、必要に応じてバッファ163が設けられる。上記

信号線103の他端には、サンプリング用スイッチ(TFT)152が設けられており、これらのサンプリング用スイッチ152は、外部端子174、175、176に入力される画像信号VID1～VID3を伝送するビデオライン154、155、156と、信号線103とに接続され、上記Xシフトレジスタ151から出力されるサンプリングパルスによって順次オン/オフされるようになっている。Xシフトレジスタ151は、端子172、173を介して外部より入力されるクロックCLX1、CLX2に基づいて、1水平走査期間中に全ての信号線103を順番に1回ずつ選択するようなサンプリングパルスX1、X2、X3、…Xnを形成してサンプリング用スイッチ152の制御端子に供給する。一方、Yシフトレジスタ161は、端子177、178を介して外部から入力されるクロックCLY1、CLY2に同期して動作され、各ゲート線102を順次駆動する。

【0088】図14(A)、(B)には、上記液晶パネルを適用した液晶パネル130の断面及び平面レイアウト構成が示されている。図に示すように、液晶パネル用基板110の表面側には、共通電極電位が印加される透明膜電極(ITO)から成る対向電極133及びカラーフィルタ層113を有する入射側のガラス基板(対向基板)131が、適当な間隔をおいて配置され、周囲をシール材136で封止された間隙内にTN(Twisted Nematic)型液晶又はSH(Super Homeotropic)型液晶137などが充填されている液晶パネル130として構成されている。また、周辺回路150、160の上方には、例えば対向基板131に設けられるブラックマットクックス等により遮光されるように構成される。なお、対向基板131には液晶注入口138が設けられる。

【0089】<電子機器の説明>上述の実施例の液晶表示パネルを用いて構成される電子機器は、図15に示す表示情報出力源1000、表示情報処理回路1002、表示駆動回路1004、液晶パネルなどの表示パネル1006、クロック発生回路1008及び電源回路1010を含んで構成される。表示情報出力源1000は、ROM、RAMなどのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、クロック発生回路1008からのクロックに基づいて、ビデオ信号などの表示情報を出力する。表示情報処理回路1002は、クロック発生回路1008からのクロックに基づいて表示情報を処理して出力する。この表示情報処理回路1002は、例えば増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路あるいはクランプ回路等を含むことができる。表示駆動回路1004は、走査側駆動回路及びデータ側駆動回路を含んで構成され、液晶パネル1006を表示駆動する。電源回路1010は、上述の各回路に電力を供給する。

【0090】このような構成の電子機器として、図16に示す液晶プロジェクタ、図17に示すマルチメディア

対応のパーソナルコンピュータ（PC）及びエンジニアリング・ワークステーション（EWS）、図18に示すページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

【0091】図16に示す液晶プロジェクタは、透過型液晶パネルをライトバルブとして用いた投写型プロジェクタであり、例えば3板プリズム方式の光学系を用いている。図16において、プロジェクタ1100では、白色光源のランプユニット1102から射出された投写光がライトガイド1104の内部で、複数のミラー1106および2枚のダイクロイックミラー1108によってR、G、Bの3原色に分けられ、それぞれの色の画像を表示する3枚の液晶パネル1110R、1110Gおよび1110Bに導かれる。そして、それぞれの液晶パネル1110R、1110Gおよび1110Bによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。ダイクロイックプリズム1112では、レッドRおよびブルーBの光が90°曲げられ、グリーンGの光が直進するので各色の画像が合成され、投写レンズ1114を通してスクリーンなどにカラー画像が投写される。

【0092】図17に示すパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示画面1206とを有する。

【0093】図18に示すページャ1300は、金属製フレーム1302内に、液晶表示パネル1304、バックライト1306aを備えたライトガイド1306、回路基板1308、第1、第2のシールド板1310、1312、2つの弹性導電体1314、1316、及びフィルムキャリアテープ1318を有する。2つの弹性導電体1314、1316及びフィルムキャリアテープ1318は、液晶表示パネル1304と回路基板1308とを接続するものである。

【0094】ここで、液晶表示パネル1304は、2枚の透明基板1304a、1304bの間に液晶を封入したもので、これにより少なくともドットマトリクス型の液晶表示パネルが構成される。一方の透明基板に、図15に示す駆動回路1004、あるいはこれに加えて表示情報処理回路1002を形成することができる。液晶表示パネル1304に搭載されない回路は外付け回路とされ、図18の場合には回路基板1308に搭載できる。

【0095】図18はページャの構成を示すものであるから、液晶表示パネル1304以外に回路基板1308が必要となるが、液晶表示パネル1304を筐体としての金属フレーム1302に固定したものを、電子機器用の一部品である液晶表示装置として使用することもできる。さらに、バックライト式の場合には、金属製フレー

ム1302内に、液晶表示パネル1304と、バックライト1306aを備えたライトガイド1306とを組み込んで、液晶表示装置を構成することができる。これらに代えて、図19に示すように、液晶表示パネル1304を構成する2枚の透明基板1304a、1304bの一方に、金属の導電膜が形成されたポリイミドテープ1322にICチップ1324を実装したTCP（Table Carrier Package）1320を接続して、電子機器用の一部品である液晶表示装置として使用することもできる。

#### 【0096】

##### 【図面の簡単な説明】

【図1】本発明の液晶表示パネルの一部の断面図である。

【図2】図1の液晶表示パネルの石英基板上に形成される各層の透視図である。

【図3】図3（A）～図3（D）は、石英基板上に形成される各層の製造プロセス順の工程図である。

【図4】図4（A）～図4（C）は、図3（D）に統いて石英基板上に形成される各層の製造プロセス順の工程図である。

【図5】遮光層を、液晶に並列に接続される保持容量の容量線として用いる場合の、遮光層の形成パターンを示す平面図である。

【図6】スイッチング素子と、液晶と、保持容量との電気的接続関係を示す回路図である。

【図7】熱酸化時間と熱酸化膜厚との関係を示す特性図である。

【図8】熱酸化膜厚と8インチ石英基板に生ずる反りとの関係を示す特性図である。

【図9】図9（A）～図9（F）は、MOS界面の荒れの状態を示す電子顕微鏡写真を、熱酸化膜温度毎に模式的に示す特性図である。

【図10】ゲート酸化膜を構成するCVD酸化膜のステップカバレージの温度依存特性を示す特性図である。

【図11】ゲート酸化膜を構成するCVD酸化膜のステップカバレージの圧力依存特性を示す特性図である。

【図12】ゲート酸化膜を構成するCVD酸化膜の基板面内均一性の流量比依存特性を示す特性図である。

【図13】図1に示す石英基板側に形成されるTFT及び駆動回路を示す概略説明図である。

【図14】（A）は図1に示す液晶パネル全体の断面図、（B）はその平面レイアウトを示す図である。

【図15】本発明の電子機器のブロック図である。

【図16】本発明が適用されるプロジェクタの概略説明図である。

【図17】本発明が適用されるパーソナルコンピュータの外観図である。

【図18】本発明が適用されるページャの分解斜視図である。

21

【図19】外付け回路を備えた液晶表示パネルの一例を示す概略説明図である。

【図20】8インチウエハを各種温度でアニーリングした場合の該ウエハに生ずる反り量を示す特性図である。

## 【符号の説明】

- 10 石英基板
- 12 ガラス基板
- 14 液晶
- 16 共通電極 (ITO)
- 20 遮光層
- 22 絶縁層
- 30 薄膜トランジスタ

22

40 第1ポリシリコン層 (ソース、ドレイン)

42 ゲート酸化膜

42a 热酸化膜

42b CVD酸化膜

44 第2ポリシリコン層 (ゲート、走査信号線)

46 第1層間絶縁層

47 第1コンタクトホール

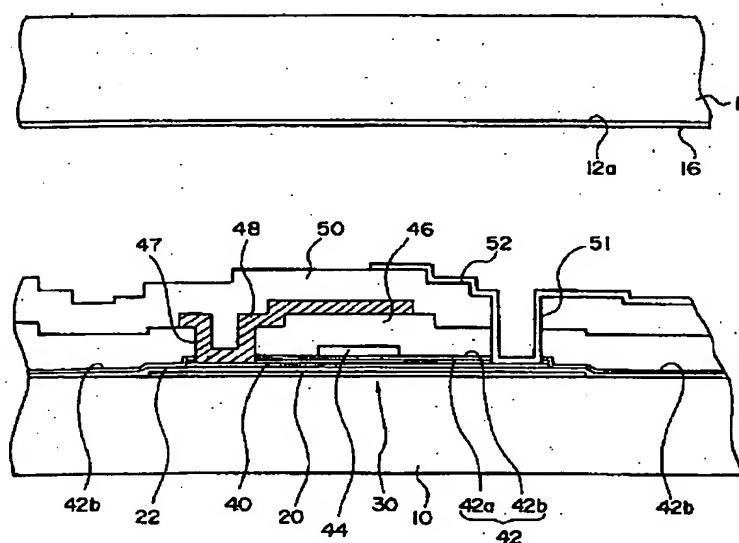
48 金属配線層 (データ信号線)

50 第2層間絶縁層

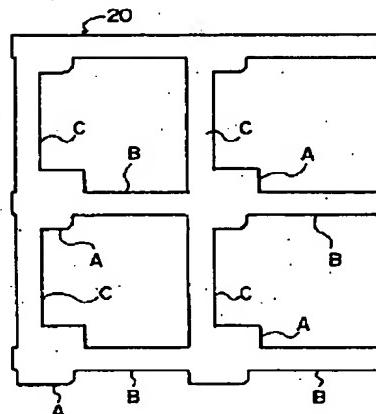
10 51 第2コンタクトホール

52 画素電極 (ITO)

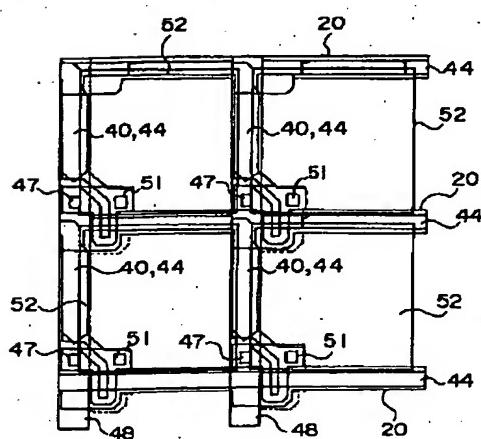
【図1】



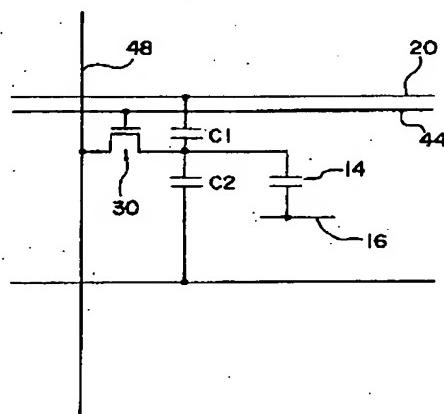
【図5】



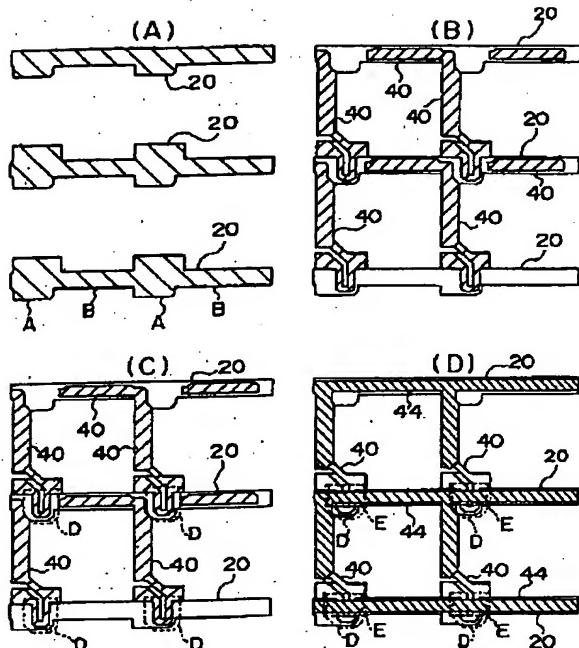
【図2】



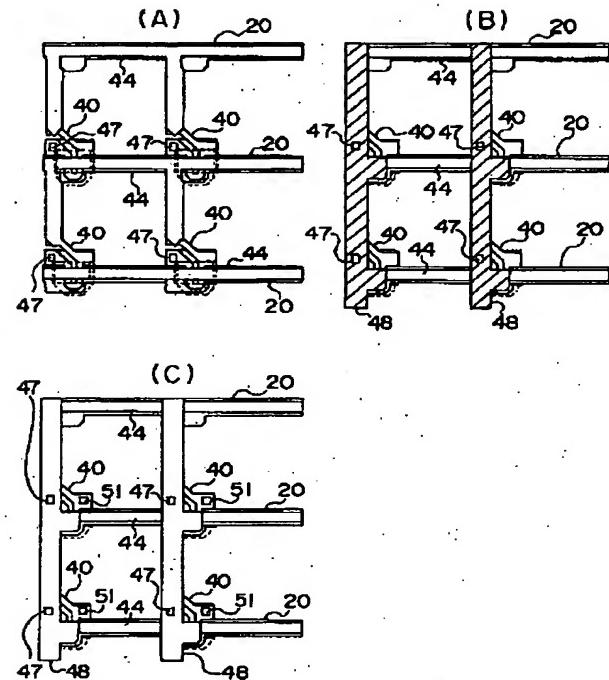
【図6】



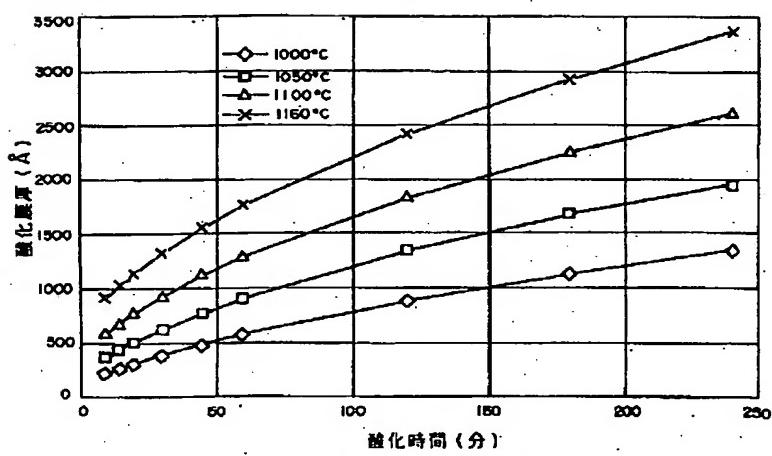
【図3】



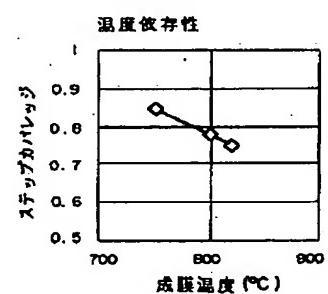
【図4】



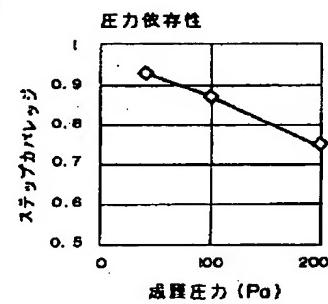
【図7】



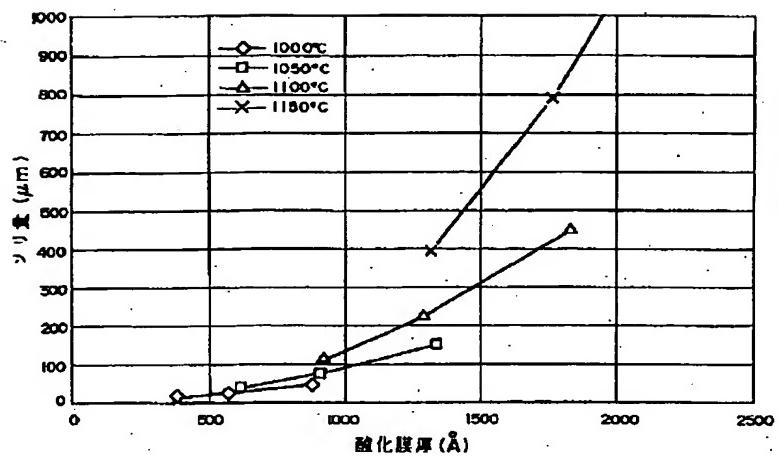
【図10】



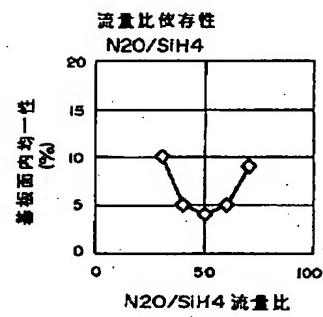
【図11】



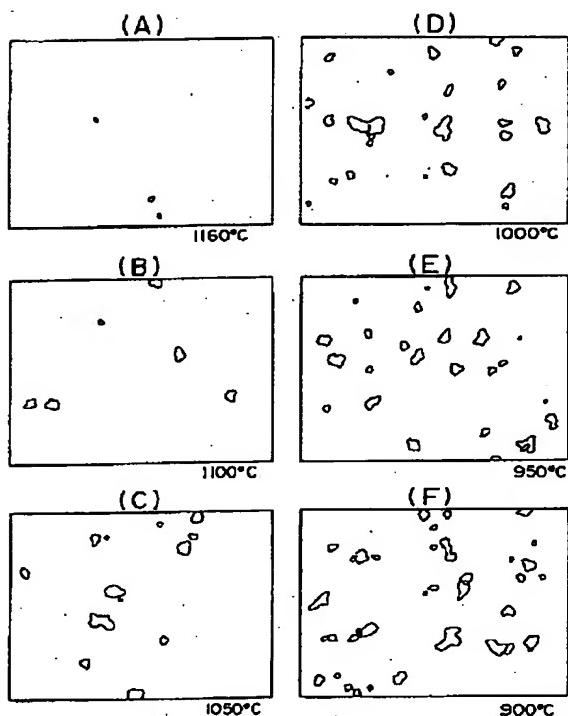
【図8】



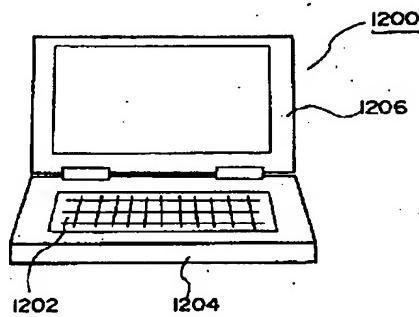
【図12】



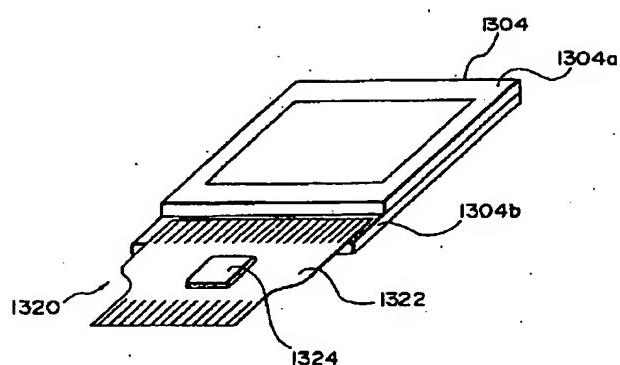
【図9】



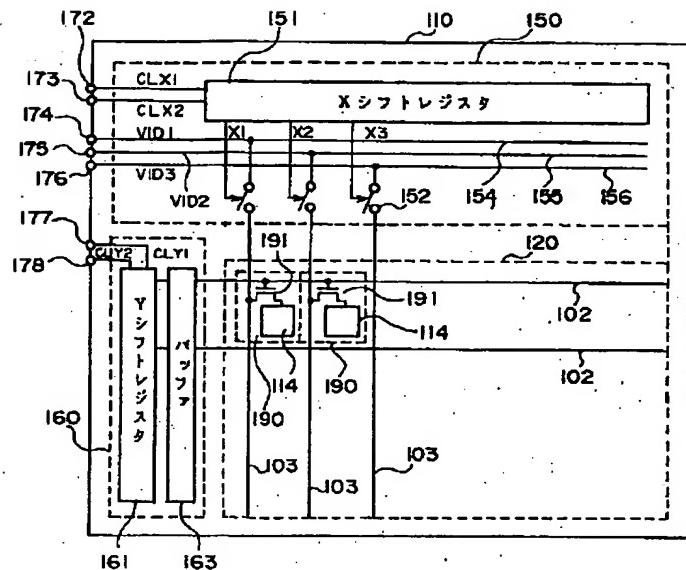
【図17】



【図19】

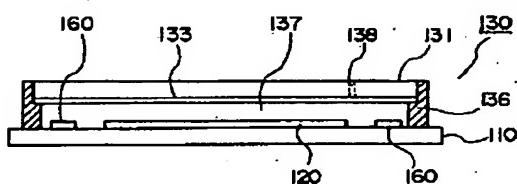


【図1.3】

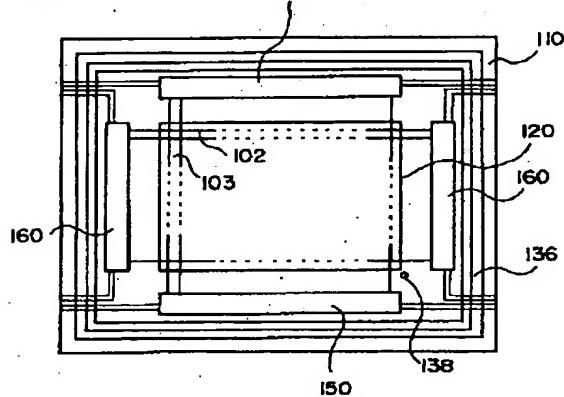


[図14]

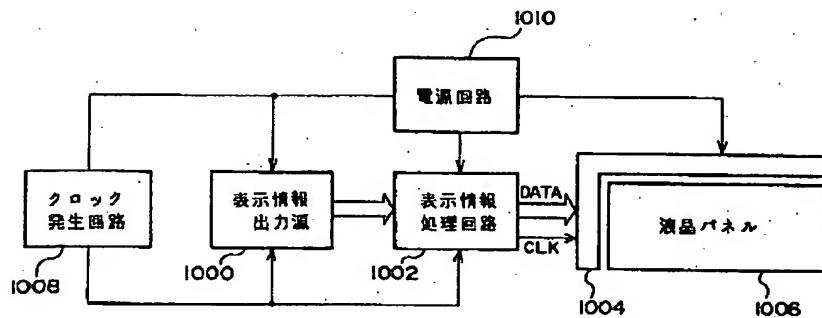
{A}



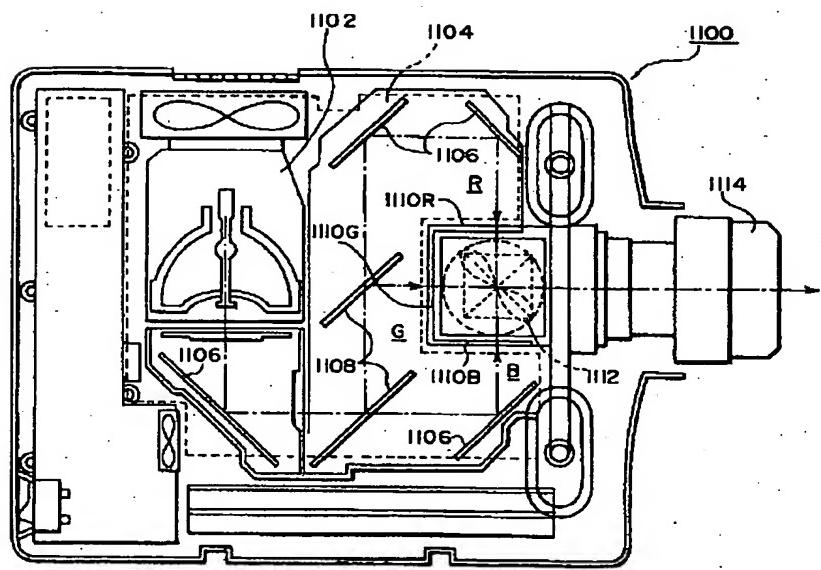
(B)



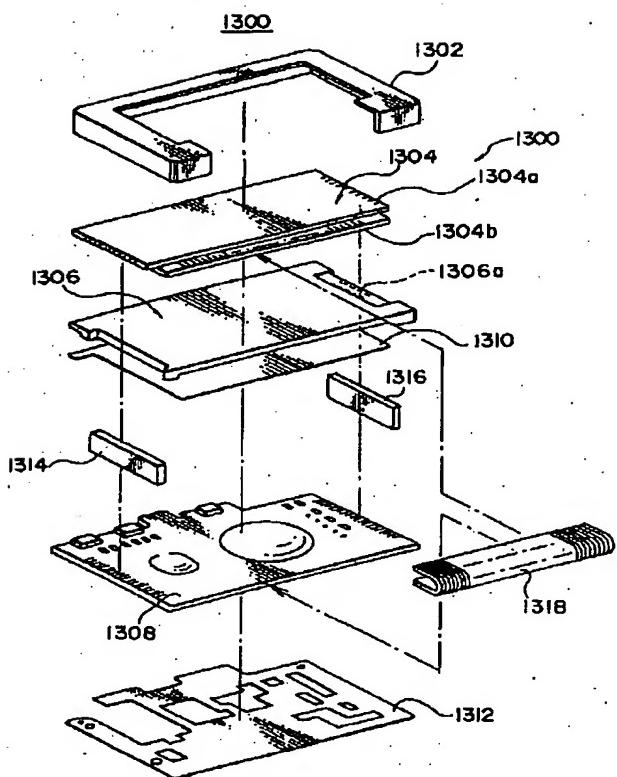
【図15】



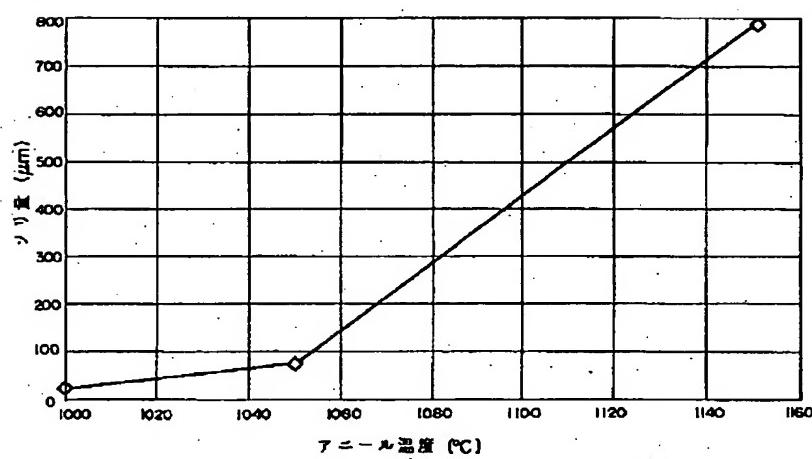
【図16】



【図18】



【図20】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-111521

(43)Date of publication of application : 28.04.1998

(51)Int.CI.

G02F 1/136  
G02F 1/1333  
H01L 29/786  
H01L 21/336

(21)Application number : 08-283026

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 04.10.1996

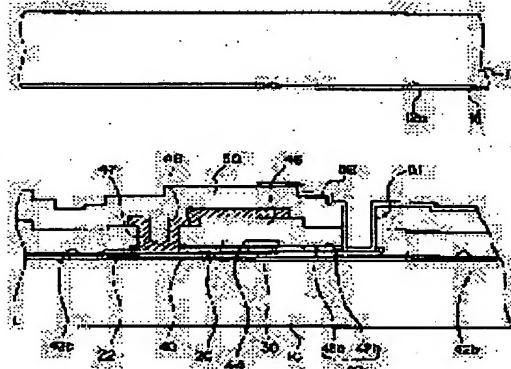
(72)Inventor : IWANO HIDEAKI  
TSUNEKAWA YOSHIFUMI  
YAMAZAKI KOJI

## (54) PRODUCTION OF LIQUID CRYSTAL DISPLAY PANEL AND LIQUID CRYSTAL DISPLAY PANEL AS WELL AS ELECTRONIC APPARATUS FORMED BY USING THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a process for producing a liquid crystal display device capable of confining a substrate size within a prescribed cell gap even if the substrate size increases at the time of formation of TFTs, the liquid crystal display panel as well as electronic apparatus formed by using the same.

**SOLUTION:** A gate oxidized film 42 formed on a polysilicon layer 40 to be formed as the source and drain of the TFT 30 is formed of a thermally oxidized film 42a and a CVD oxidized film 42b. The thermally oxidized film 42a is formed by thermally oxidizing the polysilicon layer 40 at  $\leq 1050^{\circ}$  C. The film thickness is 0.015 to 0.05. m, more preferably 0.02 to 0.035. m. The CVD oxidized film to be formed thereon is vapor phase grown on at least the thermally oxidized film at  $\leq 1050^{\circ}$  C and the film thickness thereof is  $\geq 0.02$ . m. The CVD oxidized film may be formed over the entire surface of the first substrate 10 including the thermally oxidized film. The total film thickness of the gate oxidized film 42 is preferably 0.05 to 0.12. m when the polysilicon layer is commonly used as capacitor lines for the holding capacitors of liquid crystals.



### LEGAL STATUS

[Date of request for examination] 26.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3428321  
[Date of registration] 16.05.2003  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-111521  
(43)Date of publication of application : 28.04.1998

)Int.CI. G02F 1/136  
G02F 1/1333  
H01L 29/786  
H01L 21/336

Application number : 08-283026

(71)Applicant : SEIKO EPSON CORP

) Date of filing : 04.10.1996

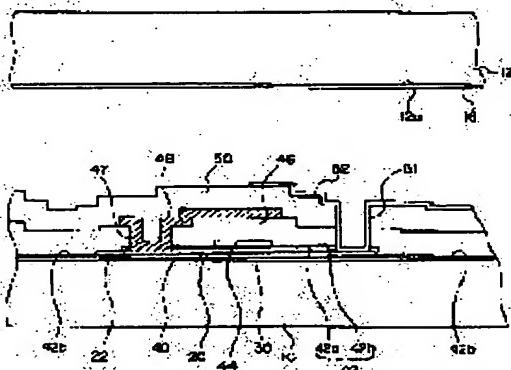
(72)Inventor : IWANO HIDEAKI  
TSUNEKAWA YOSHIFUMI  
YAMAZAKI KOJI

.) PRODUCTION OF LIQUID CRYSTAL DISPLAY PANEL AND LIQUID CRYSTAL DISPLAY PANEL AS WELL  
ELECTRONIC APPARATUS FORMED BY USING THE SAME

•)Abstract:

**OBLEM TO BE SOLVED:** To provide a process for producing a liquid crystal display device capable of confining a substrate size within a inscribed cell gap even if the substrate size increases at the time of mation of TFTs, the liquid crystal display panel as well as electronic paratus formed by using the same.

SOLUTION: A gate oxidized film 42 formed on a polysilicon layer 40 to be used as the source and drain of the TFT 30 is formed of a thermally oxidized film 42a and a CVD oxidized film 42b. The thermally oxidized film 42a is formed by thermally oxidizing the polysilicon layer 40 at  $\leq 1050^{\circ}\text{C}$ . The film thickness is 0.015 to 0.05  $\mu\text{m}$ , more preferably 0.02 to 0.035  $\mu\text{m}$ . The CVD oxidized film to be formed thereon is vapor phase grown on at least the thermally oxidized film at  $\leq 1050^{\circ}\text{C}$  and the film thickness thereof is  $\geq 0.02 \mu\text{m}$ . The CVD oxidized film may be formed over the entire surface of the first substrate 10 including the thermally oxidized film. The total film thickness of the gate oxidized film 42 is preferably 0.05 to 0.12  $\mu\text{m}$  when the polysilicon layer is commonly used as capacitor lines for the holding capacitors of liquid crystals.



## GAL STATUS

[Date of request for examination] 26.06.2000

[date of sending the examiner's decision of rejection]

nd of final disposal of application other than the  
aminer's decision of rejection or application converted  
gistration]

ate of final disposal for application]

[atent number] 3428321

[date of registration] 16.05.2003

umber of appeal against examiner's decision of rejection]

NOTICES \*

The Patent Office is not responsible for any  
errors caused by the use of this translation.

This document has been translated by computer. So the translation may not reflect the original precisely.

\*\* shows the word which can not be translated.

In the drawings, any words are not translated.

## IMS

[im(s)]

aim 1] How to manufacture the liquid crystal display panel which encloses liquid crystal and changes between the substrate in which the semiconductor TFT characterized by providing the following was formed, the 2nd substrate which counters it, and \*\* The process which forms the polysilicon contest layer used as the source of the aforementioned semiconductor TFT, and a drain on the substrate of the above 1st The process which covers the aforementioned polysilicon contest layer and forms a gate oxide film, and the process which forms the gate layer of the aforementioned semiconductor TFT on the aforementioned gate oxide film, The process which covers the aforementioned gate oxide film and the aforementioned gate layer, and forms an insulating layer between the 1st layer, process which forms the metal wiring layer in contact with the aforementioned polysilicon contest layer on the aforementioned insulating layer between the 1st layer, The process which covers the aforementioned insulating layer between the 1st layer, and the aforementioned metal wiring layer, and forms an insulating layer between the 2nd layer, is the process which forms the transparent electrode in contact with the aforementioned polysilicon contest layer on aforementioned insulating layer between the 2nd layer. the formation process of the aforementioned gate oxide film process which forms the thermal oxidation film which oxidizes the aforementioned polysilicon contest layer mainly at the temperature of 1050 degrees C or less, and has 0.015-0.05-micrometer thickness, The process which forms the CVD film which is made to carry out the vapor growth of the silicon oxide on the aforementioned thermal oxidation film at least at the temperature of 1050 degrees C or less, and has thickness 0.02 micrometers or more.

aim 2] The manufacture method of the liquid crystal display panel characterized by setting thickness of the aforementioned thermal oxidation film to 0.02-0.035 micrometers in a claim 1.

aim 3] The manufacture method of the liquid crystal display panel characterized by to set to 0.05-0.12 micrometers total thickness of the aforementioned gate oxide film which consists of the aforementioned thermal-oxidation film and the aforementioned CVD oxide film at the formation process of the aforementioned gate oxide film including the process which carries out extension formation of the aforementioned polysilicon contest layer through the aforementioned gate oxide film at the formation process of the aforementioned polysilicon contest layer in a claim 1 or the aforementioned metal wiring layer and the lower layer position which counters.

aim 4] It is the manufacture method of the liquid crystal display panel characterized by setting to 40-60 flow rate of gas containing the oxygen to the gas by which the formation process of the aforementioned CVD oxide film contains carbon in a claim 1 or either of 3.

aim 5] The manufacture method of the liquid crystal display panel characterized by making into 750-850 degrees C temperature in the process which forms the aforementioned CVD oxide film in a claim 1 or either of 4.

aim 6] In a claim 1 or either of 5, it is characterized by setting the pressure in the formation process of the aforementioned CVD oxide film to 200Pa or less. [Claim 7] The manufacture method of the liquid crystal display panel characterized by having further the process which anneals the aforementioned CVD oxide film and removes the fixed charge in the aforementioned CVD oxide film after the formation process of the aforementioned CVD oxide film in a claim 1 or either of 6.

aim 8] The manufacture method of the liquid crystal display panel characterized by annealing the 1st substrate of the above in a claim 1 or either of 7 at temperature almost equal to the thermal oxidation temperature in the formation process of this aforementioned thermal oxidation film before forming the aforementioned polysilicon contest layer in 1st substrate of the above.

aim 9] It is the manufacture method of the liquid crystal display panel characterized by including the process at which the formation process of the aforementioned polysilicon contest layer forms an amorphous silicon on the substrate of the above 1st in a claim 1 or either of 8, and the process which is made to carry out solid phase growth of aforementioned amorphous silicon, and forms the aforementioned polysilicon contest layer.

im 10] The manufacture method of the liquid crystal display panel characterized by including the process which a meter or diagonal line length forms aforementioned each class using a substrate 8 inches or more, and is cut to the 1st trate of the above of a predetermined size after that in a claim 1 or either of 9.

im 11] How to manufacture the liquid crystal display panel which encloses liquid crystal and changes between the substrate in which the semiconductor TFT characterized by providing the following was formed, the 2nd substrate which counters it, and \*\* The process which forms the polysilicon contest layer used as the source of the aforementioned semiconductor TFT, and a drain on the substrate of the above 1st The process which covers the mentioned polysilicon contest layer and forms a gate oxide film, and the process which forms the gate layer of the ementioned semiconductor TFT on the aforementioned gate oxide film, The process which covers the ementioned gate oxide film and the aforementioned gate layer, and forms an insulating layer between the 1st layer, process which forms the metal wiring layer in contact with the aforementioned polysilicon contest layer on the ementioned insulating layer between the 1st layer, The process which covers the aforementioned insulating layer veen the 1st layer, and the aforementioned metal wiring layer, and forms an insulating layer between the 2nd layer, is the process which forms the transparent electrode in contact with the aforementioned polysilicon contest layer on aforementioned insulating layer between the 2nd layer. the formation process of the aforementioned gate oxide film process which oxidizes the aforementioned polysilicon contest layer thermally and forms a thermal oxidation film, the process which is made to carry out the vapor growth of the silicon oxide, and forms a CVD film on the whole ace of the 1st substrate of the above in which the aforementioned thermal oxidation film was formed

im 12] The liquid crystal display panel which encloses liquid crystal and changes between the 1st substrate in which semiconductor TFT characterized by providing the following was formed, the 2nd substrate which counters it, and The 1st substrate of the above is a polysilicon contest layer used as the source of the aforementioned semiconductor , and a drain. The gate oxide film which covered the aforementioned polysilicon contest layer and was formed, and gate layer of the aforementioned semiconductor TFT formed on the aforementioned gate oxide film, The insulating er between the 1st layer which covered the aforementioned gate oxide film and the aforementioned gate layer, and formed, The metal wiring layer which is formed on the aforementioned insulating layer between the 1st layer, and tacta the aforementioned polysilicon contest layer, The insulating layer between the 2nd layer which covered the ementioned insulating layer between the 1st layer, and the aforementioned metal wiring layer, and was formed, It is ned on the aforementioned insulating layer between the 2nd layer, and has a transparent electrode in contact with the ementioned polysilicon contest layer. the aforementioned gate oxide film The thermal oxidation film which oxidizes aforementioned polysilicon contest layer thermally at the temperature of 1050 degrees C or less, is formed, and has 15-0.05-micrometer thickness, The CVD film which is formed by carrying out the vapor growth of the silicon oxide he aforementioned thermal oxidation film at least at the temperature of 1050 degrees C or less, and has thickness 2 micrometers or more

aim 13] It is the liquid crystal display panel characterized by the thickness of the aforementioned thermal oxidation being 0.02-0.035 micrometers in a claim 12.

aim 14] The liquid crystal display panel characterized by being made to serve a double purpose as a capacity line of ntion volume to which the aforementioned polysilicon contest layer extends through the aforementioned gate oxide to the aforementioned metal wiring layer and the lower layer position where it counters, and is connected in parallel the aforementioned liquid crystal in a claim 12 or 13.

aim 15] The liquid crystal display panel characterized by setting to 0.05-0.12 micrometers total thickness of the rementioned gate oxide film which consists of the aforementioned thermal oxidation film and the aforementioned D oxide film in a claim 14.

aim 16] The liquid crystal display panel which encloses liquid crystal and changes between the 1st substrate in which semiconductor TFT characterized by providing the following was formed, the 2nd substrate which counters it, and The 1st substrate of the above is a polysilicon contest layer used as the source of the aforementioned semiconductor , and a drain. The gate oxide film which covered the aforementioned polysilicon contest layer and was formed, and gate layer of the aforementioned semiconductor TFT formed on the aforementioned gate oxide film, The insulating er between the 1st layer which covered the aforementioned gate oxide film and the aforementioned gate layer, and formed, The metal wiring layer which is formed on the aforementioned insulating layer between the 1st layer, and tacta the aforementioned polysilicon contest layer, The insulating layer between the 2nd layer which covered the rementioned insulating layer between the 1st layer, and the aforementioned metal wiring layer, and was formed, It is ned on the aforementioned insulating layer between the 2nd layer, and has a transparent electrode in contact with the rementioned polysilicon contest layer. the aforementioned gate oxide film The CVD oxide film formed by carrying the vapor growth of the silicon oxide on the whole surface of the 1st substrate of the above in which the thermal

lation film which oxidized the aforementioned polysilicon contest layer thermally and was formed, and the  
ementioned thermal oxidation film were formed

aim 17] Electronic equipment characterized by having a liquid crystal display panel according to claim 12 to 16.

---

nslation done.]

## OTICES \*

an Patent Office is not responsibl for any  
ages caused by the use of this translation.

This document has been translated by computer. So the translation may not reflect the original precisely.

\*\* shows the word which can not be translated.

In the drawings, any words are not translated.

## TAILED DESCRIPTION

## tailed Description of the Invention]

01]

technical field to which invention belongs] this invention relates to electronic equipment, such as a projector using manufacture method of a liquid crystal display panel, the liquid crystal display panel, and it which used TFT (TFT) switching element.

02]

kground of the Invention] This kind of liquid crystal display panel is widely used as a light valve of a projector etc., improvement in manufacture efficiency is demanded strongly. Conventionally, the 5 inch silicon substrate was 1, the substrate in which TFT is formed was cut after each class was formed on it, and it was used as the liquid crystal display substrate of a predetermined size.

03] In order to have increased the throughput of a liquid crystal display substrate, the number of the liquid crystal substrates obtained from one substrate needed to be increased, and this invention person examined replacing with a 5 1 silicon substrate and using a 8 inch silicon substrate.

04]

oblem(s) to be Solved by the Invention] Drawing 20 shows the amount of curvatures of a silicon substrate at the time carrying out annealing of the silicon substrate with a diameter of 8 inches, respectively at 1000 degrees C, 1050 degrees C, and 1150 degrees C. Since the ARI ring of the silicon substrate was carried out in support of the portion near periphery of a silicon substrate like the usual heat treatment at this time, the curvature of the amount shown in wing 20 between the center and periphery section occurred.

05] By the way, as a liquid crystal display panel stops at a predetermined cell gap, it makes the 1st substrate in which scanning signal line, a data signal line, and TFT were formed, and the 2nd substrate in which the common electrode is formed counter it, between them, encloses liquid crystal and is manufactured. At this time, the 1st substrate cuts the 8 inch wafer which carried out film attachment processing in a predetermined size, and is obtained. Here, if the amount of curvatures of a 8 inch wafer is large as mentioned above, it cannot stop in a predetermined cell gap at the time of substrate assembly.

06] Here, the highest process temperature at the time of forming TFT is the formation process of a gate oxide film. conventional gate oxide film was formed of operation of a thermal oxidation process, and the thermal oxidation temperature was 1150 degrees C or more. Therefore, according to drawing 20 , the amount of curvatures of a 8 inch wafer cannot be set to no less than 800 micrometers, and cannot be stopped in a predetermined cell gap at all.

07] Although the technology which makes this gate oxide film the bilayer of a thermal oxidation film and a CVD oxide film is indicated by JP,60-164362,A, JP,63-1071,A, JP,63-316479,A, JP,2-65274,A, JP,2-174230,A, etc., when thermal oxidation temperature is high, the much more same problem as the thermal oxidation film of a chisel still remains.

08] Moreover, when a gate oxide film is made into the bilayer of a thermal oxidation film and a CVD oxide film, the difference on the front face of a substrate by which rubbing processing is carried out becomes large, and there is a possibility that orientation of liquid crystal cannot be performed in this portion.

09] Then, the place made into the purpose of this invention is to offer the electronic equipment using the manufacture method of a liquid crystal display panel, the liquid crystal display panel, and it which can be stopped in a predetermined cell gap, even if the substrate size at the time of TFT formation is enlarged.

10] Even if other purposes of this invention make a gate oxide film the bilayer of a thermal oxidation film and a CVD oxide film, they are to offer the manufacture method of the liquid crystal display panel which can lessen the level difference on the front face of a substrate by which rubbing processing is carried out, a liquid crystal display panel, and

electronic equipment using it.

11]

[means for Solving the Problem] In the method of manufacturing the liquid crystal display panel which invention of a claim 1 encloses liquid crystal between the 1st substrate in which semiconductor TFT was formed, the 2nd substrate which counters it, and \*\*, and changes The process which forms the polysilicon contest layer used as the source of the aforementioned semiconductor TFT, and a drain on the substrate of the above 1st, The process which covers the aforementioned polysilicon contest layer and forms a gate oxide film, and the process which forms the gate layer of the aforementioned semiconductor TFT on the aforementioned gate oxide film, The process which covers the aforementioned gate oxide film and the aforementioned gate layer, and forms an insulating layer between the 1st layer, the process which forms the metal wiring layer in contact with the aforementioned polysilicon contest layer on the aforementioned insulating layer between the 1st layer, The process which covers the aforementioned insulating layer between the 1st layer, and the aforementioned metal wiring layer, and forms an insulating layer between the 2nd layer, as the process which forms the transparent electrode in contact with the aforementioned polysilicon contest layer on the aforementioned insulating layer between the 2nd layer. the formation process of the aforementioned gate oxide film is a process which forms the thermal oxidation film which oxidizes the aforementioned polysilicon contest layer usually at the temperature of 1050 degrees C or less, and has 0.015-0.05-micrometer thickness, The manufacture method of the liquid crystal display panel which is made to carry out the vapor growth of the silicon oxide on the aforementioned thermal oxidation film at least at the temperature of 1050 degrees C or less, and is characterized by using the process which forms the CVD film which has thickness 0.02 micrometers or more.

12] Moreover, invention of a claim 12 defines the liquid crystal display panel obtained by the invention method of a claim 1.

13] According to each invention of claims 1 and 12, the process temperature of a gate oxide-film formation process is 050 degrees C or less; and even if it uses large-sized substrates, such as a 8 inch wafer, so that clearly from drawing for example, it becomes possible to press down the amount of curvatures of a substrate to 100 micrometers or less.

14] Moreover, since the thickness of a thermal oxidation film is 0.015 micrometers or more, it can form certainly the MOS interface between a polysilicon contest layer and a thermal oxidation film. Moreover, since the upper limit of the thickness of a thermal oxidation film is 0.05 micrometers, it is short, and in addition to the ability to lessen generating of curvature more, thermal oxidation time can lessen the dry area of the MOS interface between a polysilicon contest layer and a thermal oxidation film, and can secure the isolation voltage of the thermal oxidation film itself.

15] Since isolation voltage cannot be compensated only with this thermal oxidation film, without thickness being sufficient, the thermal oxidation film with which a front face serves as irregularity reflecting the dry area of an MOS interface has been covered by the CVD oxide film with a good step coverage. If there are 0.02 micrometers or more of CVD oxide film, it can secure gate pressure-proofing.

16] Each invention of claims 2 and 13 defines having set thickness of the aforementioned thermal oxidation film to 2-0.035 micrometers.

17] The curvature of a substrate and the dry area of an interface can be reduced more because formation of an MOS interface becomes more certain, sets the upper limit to 0.035 micrometers and lessens thermal oxidation time more by setting thickness of a thermal oxidation film to 0.02 micrometers or more.

18] Each invention of claims 3, 14, and 15 defines the suitable total thickness of the gate oxide film at that time, using a polysilicon contest layer as a capacity line for the retention volume of liquid crystal. that is, the total thickness of the aforementioned gate oxide film which consists of the aforementioned thermal-oxidation film and the aforementioned CVD oxide film at the formation process of the aforementioned gate oxide film including the process which carries out extension formation to the lower layer position which minds the aforementioned polysilicon contest layer in a claim 3, ands the aforementioned gate oxide film at the formation process of the aforementioned polysilicon contest layer, and inters with the aforementioned metal wiring layer carried out as 0.05-0.12 micrometers -- a thing definition is trying out

19] If it carries out like this, the retention volume connected in parallel with liquid crystal by the polysilicon contest layer and the metal wiring layer can be formed. When using a polysilicon contest layer as a capacity line of retention volume, the size of the capacity can secure the capacity which suits as retention volume of liquid crystal, without expanding the area of a retention volume line too much, if total thickness is set up in the above-mentioned range depending on the total thickness of a gate oxide film.

20] Claims 4-6 define the suitable process conditions in the formation process of a CVD oxide film. As shown in a claim 4, it is desirable to set to 40-60 flow rate of the gas which contains the oxygen to the gas containing silicon at the formation process of the aforementioned CVD oxide film. Although flow rate may be set up out of the above-mentioned

if it is set as the above-mentioned range, the homogeneity within a field of the thickness of a CVD oxide film will come 5% or less.

21] Moreover, as shown in a claim 5, it is desirable to make into 750-850 degrees C temperature in the process which forms the aforementioned CVD oxide film.

22] Although this temperature may be set up out of the above-mentioned range as long as it is 1050 degrees C or less, if it is set as the above-mentioned range, the step coverage of a CVD film is securable 0.7 or more.

23] Furthermore, as shown in a claim 6, it is desirable to set the pressure in the formation process of the aforementioned CVD oxide film to 200Pa or less.

24] Although at least 300Pa or less of this pressure can be carried out, if 200Pa or less, it can secure the step coverage of a CVD film 0.7 or more.

25] As shown in invention of a claim 7, it is good after the formation process of the aforementioned CVD oxide film to anneal the aforementioned CVD oxide film. If it carries out like this, the fixed charge in the aforementioned CVD oxide film can be removed, and the property of TFT can be raised.

26] As shown in a claim 8, before forming the aforementioned polysilicon contest layer in the 1st substrate of the invention, it is desirable to anneal the 1st substrate of the above at temperature almost equal to the thermal oxidation temperature in the formation process of this aforementioned thermal oxidation film.

27] If it carries out like this, distortion produced in the 1st substrate at a thermal oxidation film formation process can be removed beforehand, and the amount of curvatures can be lessened further.

28] As shown in a claim 9, as for the formation process of the aforementioned polysilicon contest layer, it is preferable to include the process which forms an amorphous silicon on the substrate of the above 1st, and the process which is made to carry out solid phase growth of the aforementioned amorphous silicon, and forms the aforementioned polysilicon contest layer.

29] In the case where a polysilicon contest layer is formed in CVD -- comparing -- grain size -- \*\*\*\* -- as soon as it is, a polysilicon contest layer can approach the property of single crystal silicon, and can raise the property as a semiconductor.

30] As shown in a claim 10, it is desirable to include the process which a diameter or diagonal line length forms mentioned each class using a substrate 8 inches or more, and is cut to the 1st substrate of the above of a determined size after that.

31] Especially in this invention, even if it uses a substrate 8 inches or more, the amount of curvatures can be pressed down to 100 micrometers or less, and assembly of the liquid crystal display panel can be carried out in support of a determined cell gap by using the liquid crystal substrate which cuts and is obtained from this substrate.

32] Invention of a claim 11 defines the manufacture method of the liquid crystal display panel which makes it the invention to include the process in which the formation process of the aforementioned gate oxide film oxidizes the aforementioned polysilicon contest layer thermally, and forms a thermal oxidation film, and the process which is made to carry out the vapor growth of the silicon oxide, and forms a CVD film on the whole surface of the 1st substrate of the invention in which the aforementioned thermal oxidation film was formed. The claim 16 defines the liquid crystal display panel obtained by the invention method of a claim 11.

33] By forming a CVD oxide film all over the 1st substrate of the above in which the aforementioned thermal oxidation film was formed, processes, such as a photolithography process for patterning and an etching process, can be applied only for a thermal oxidation film top like the wrap case, and the processing time can be shortened sharply. Moreover, the CVD oxide film formed in fields other than on a thermal oxidation film contributes so that the level difference on the substrate front face by which rubbing processing is carried out at the time of the rubbing processing for all the films were formed on the 1st substrate may be lessened. If there are few level differences, generating of a level by which rubbing processing is not carried out can be prevented, and orientation of liquid crystal can be carried out stably.

34] The claim 17 defines the electronic equipment which has a liquid crystal display panel according to claim 12 to and to carry out. According to this electronic equipment, a display property is improvable by the liquid crystal display panel by which the effect mentioned above is acquired.

35] [The mode of implementation of invention] Hereafter, the mode of operation of this invention is explained with reference to a drawing.

36] Drawing 1 shows the cross section of an active matrix liquid crystal display panel. In drawing 1, between two transparent substrates 10 and 12, this liquid crystal display panel encloses liquid crystal 14, and is constituted. One substrates 10 are insulating substrates, such as a quartz, and top gate type TFT (TFT) 30 as a switching

ient connected to the liquid crystal 14 of each pixel in series is formed in the shape of an array as later mentioned to quartz substrate 10. TFT which constitutes a liquid crystal drive circuit is also formed in this quartz substrate 10. Substrate 12 of another side is formed with the glass substrate. The transparent electrode 16 which this glass substrate 12 covers this opposed face 12a in the quartz substrate 10 and field 12a to counter, and consists of ITO (tin oxide) is formed, and it functions as a common electrode. In addition, the chromium layer for a black matrix etc. is not formed by the opposite substrate 12, and this black matrix is arranged only at the quartz substrate 10 at it as below-mentioned.

[7] Next, each class formed in the quartz substrate 10 is explained with reference to drawing 1 and drawing 2. Drawing 2 is the perspective drawing of each class formed in each pixel field on the quartz substrate 10, and dual gate TFT structure is shown. On this quartz substrate 10, it has the insulating layer 22 which mainly insulates the shading layer 20 formed between above-mentioned TFT30, TFT30, and quartz substrates 10, and this shading layer 20 TFT30.

[8] TFT30 has the 1st polysilicon contest layer 40 used as the source of a transistor, and a drain, and the 2nd polysilicon contest layer 44 used as the gate of a transistor, as shown in drawing 1 and drawing 2. The gate oxide film which consists of SiO<sub>2</sub> which covered the 1st polysilicon contest layer 40 and was formed among both the polysilicon contest layers 40 and 44 is formed. As drawing 2 and drawing 3 (D), the 2nd polysilicon contest layer 44 is used two or more in parallel with the 1st direction of a liquid crystal display panel (longitudinal direction of drawing), is used as two or more scanning signal lines of a liquid crystal display panel.

[9] Moreover, it reaches gate oxide-film 42, the 2nd polysilicon contest layer 44 is covered, and the insulating layer is formed between the 1st layer. The metal wiring layer 48 which moreover functions as a source line of a transistor which was formed, for example with aluminum (aluminum) is formed. This metal wiring layer 48 is connected with 1st polysilicon contest layer 40 through the 1st contact hole 47 formed in the insulating layer 46 between the 1st layer. In addition, as drawing 2 and drawing 4 (B), two or more [ of this metal wiring layer 48 ] are prepared in parallel with the 1st direction of the above of a liquid crystal display panel, and the 2nd direction (lengthwise [ of drawing ]) which intersects perpendicularly, and it is used as two or more data signal lines of a liquid crystal display panel.

[10] Between this metal wiring layer 48 and the 1st layer, an insulating layer 46 is covered, an insulating layer 50 is formed between the 2nd layer, and the transparent electrode 52 which consists of ITO is formed in each pixel field and position where it counters on it. Through the 1st and the 2nd contact hole 51 formed in insulating layers 46 and 50 between the 2nd layer, it connects with the 1st polysilicon contest layer 40, and this transparent electrode 52 functions as pixel electrode.

[11] By this liquid crystal display panel, in the 2nd polysilicon contest layer 44 corresponding to the scanning signal of a certain line, if the ON state voltage more than the threshold of TFT30 is impressed in a selection period, all that exists at the line turns on. In that case, through two or more metal wiring layers 48 corresponding to the data signal line of each train, a data signal is supplied for every pixel and signal potential is impressed to each transparent electrode 52 through each turned-on TFT30. When it carries out like this, the difference voltage of the common potential of the transparent electrode 16 of the opposite substrate 12 and the signal potential of the transparent electrode for every pixel by the side of the quartz substrate 10 will be impressed to liquid crystal 14. In a non-selection period, when TFT30 is turned off, a display state is maintained to the following selection period with the voltage charged by liquid crystal 14 at the selection period. In addition, in order to improve the maintenance property of the voltage in this non-selection period, the retention volume mentioned later is connected in parallel with liquid crystal 14. A desired picture can be displayed on a liquid crystal display panel by repeating and carrying out this operation for every line.

[12] Next, it explains, referring to the manufacturing process shown in drawing 3 (A) - (D) and drawing 4 (A) - (C) about each class formed on the quartz substrate 10.

[13] The quartz substrate 10 in a <annealing process> manufacture stage is a 8 inch wafer configuration. First, annealing processing of this quartz substrate 10 was carried out at the temperature more than the highest process temperature (it is 1000 degrees C in the thermal oxidation process for the gate oxide film 42 this time) of the quartz substrate 10, for example, 1000 degrees C, by inert gas, for example, N<sub>2</sub> gas atmosphere. Distortion produced in the quartz substrate 10 by this pretreatment at the time of heat treatment at the highest process temperature carried out is removed beforehand.

[14] <the formation process of the shading layer 20> -- this shading layer 20 is a thing in which the reflected light in front face of the quartz substrate 10 etc. carries out incidence to TFT30 and which carries out thing prevention. By this shading layer 20, it can prevent that a photograph carrier is formed in TFT30, and the cross talk resulting from the leakage current is prevented.

[15] For this reason, this shading layer 20 is formed with the quality of the material which is continued and formed in

width of face from the width of face of the 1st polysilicon contest layer 40, and has sufficient shading property, as shown in drawing 1. As a shading property that this shading layer 20 is called for, if OD value puts in another way 1 or more, permeability will be 1/1000 or less.

16] It is necessary to have the thermal resistance to the highest process temperature of this liquid crystal display besides the above-mentioned shading property as a property of this shading layer 20. In this example, the thermal lation process of the gate oxide film 42 is the highest process temperature, for example, it is 1000 degrees C as tioned later. Then, a metal or metallic compounds is used for this shading layer 20 as the quality of the material ch has the melting point 1000 degrees C or more which is the highest process temperature. As this kind of the able quality of the material, silicide system metals, such as tungsten silicide (WSi) and molybdenum silicide (MoSi), be mentioned. This kind of silicide system metal has good affinity with the quartz substrate 10, and is desirable also ie point which can carry out near of the coefficient of thermal expansion with the quartz substrate 10. Thereby, it can ent that a crack and a crack arise in quartz substrate 10 grade.

17] Moreover, this shading layer 20 is formed in TFT30, the field A which counters, and the field B extended in a longitudinal direction (direction parallel to a scanning signal line), as shown in drawing 3 (A). Thus, this shading layer and the metal wiring layer 48 which has the shading nature which intersects this can constitute the black matrix ounding each pixel from arranging only in the quartz substrate 10 side. Unlike the case where this constitutes a black matrix, the shading layer, for example, the chromium layer, prepared in the opposite substrate, the strict alignment ne quartz substrate 10 and the opposite substrate 12 becomes unnecessary. Moreover, although the margin needed to secured comparatively greatly to the line breadth of the cambium of a black matrix in consideration of the position of two substrates in the former, the need is lost in this example. Therefore, the numerical aperture of a liquid crystal lay panel increases, and the bright display screen can be secured.

18] This shading film 20 is formed by the spatter or CVD (chemical vapor growth), and a photolithography process an etching process are carried out so that only the fields A and B shown in drawing 3 (A) may remain. In addition, in using the shading layer 20 as a black matrix like drawing 3 (A), it is required to have sufficient thickness for the ding layer 20 to become black. For this reason, what is necessary is just to consider as thickness 0.1 micrometers or e in the case of a silicide system metal.

49] <the formation process of an insulating layer 22> -- this insulating layer 22 is for insulating the shading layer 20 n the 1st polysilicon contest layer 40. This insulating layer 22 is formed by SiO<sub>2</sub>, for example, is formed of CVD. 50] The <potential setup [ of the shading layer 20 ] and thickness of insulating layer 22> shading layer 20 serves as iting potential, when not connecting with other wiring. In this case, the charge which the shading layer 20 has has a influence on switching of TFT30 as it is a \*\*\*\*\*, when the thickness of an insulating layer 22 is thin. In order to vent this, you have to form the thickness of an insulating layer 22 thickly.

51] In this example, in order to realize regular switching operation only depending on gate potential by TFT30, hout depending on the thickness of an insulating layer 22, fixed DC potential is impressed to the shading layer 20.

52] In this example, the OFF potential impressed to the gate of TFT30 is always impressed to the shading layer 20. TFT30 prepared for every pixel is N type TFT, and -1V are always impressed to a shading layer as OFF potential to the . TFT30 does not turn on accidentally by the charge which this shading layer 20 has though the charge which the ding layer 20 has through an insulating layer 22 has influence on TFT30, if it carries out like this. What is necessary st to let potential impressed to the shading layer 20 be the potential of under the threshold of TFT30, in order to do his way. If it is N channel type TFT, it is good at a ground potential or a negative potential.

53] OFF potential is impressed also to the shading layer which counters with TFT which forms a liquid crystal drive unit, and is prepared. Under the present circumstances, P and different OFF potential for every N type TFT are pressed to the shading layer by which N type and P type TFT counter the \*\*\*\*\* case for both sides with them at transistor used for a liquid crystal drive circuit.

54] If it does in this way, since the switching operation of TFT30 will not be influenced by the charge which the ding layer 20 has, the thickness of an insulator layer 22 just only insulates electrically the shading layer 20 and the polysilicon contest layer 40. The thickness of the shading layer 20 in this case may be thinner than the thickness (0.8 micrometers or more) of the insulating layer 22 demanded that there should just be 0.05 micrometers or more when the ding layer 20 is floating potential. The thickness of this insulating layer 22 can be chosen from 0.05-1.5 micrometers.

55] In the case of drawing 3 (A), corresponding to the 2nd polysilicon contest layer 44 which is a scanning signal , it dissociates by the number of a scanning signal line at least, respectively, and the shading layer 22 is formed. In ; case, you may supply the scanning signal to the scanning signal line corresponding to each shading layer 22. If it ries out like this, the 2nd polysilicon contest layer 44 and the shading layer 20 which are a scanning signal line serve

both ] ON potential to turn on TFT30, they will serve as [ both ] OFF potential to turn them off, and it will be lost a malfunction arises of them in SUICHITCHINGU of TFT30.

56] In addition to the fields A and B which show < shading layer 20 to > drawing 3 (A) about the case where it uses capacity line of retention volume, the shading layer 20 can be formed in the field C shown in drawing 5 . This field the field where the 1st polysilicon contest layer 40 shown in drawing 3 (B) is extended to lengthwise [ of this wing ], and a field which counters. If it carries out like this, retention volume C1 can consist of a shading layer 20 a 1st polysilicon contest layer 40.

57] Moreover, the 1st and the 2nd polysilicon contest layers 40 and 44 also constitute retention volume C2. The electric connection relation between each of this retention volume C1 and C2, liquid crystal 14, and TFT30 is connected liquid crystal 14, and retention volume C1 and C2 is connected to parallel, respectively as drawing 6 . Therefore, the 1 retention volume in this case can be set to C1+C2, and can increase retention volume.

58] Here, depending on the thickness of an insulating layer 22, this retention volume C1 is choosing from 0.05-1.5 micrometers which is the suitable range of the above-mentioned insulating layer 22, and can be set as a desired capacity. As retention volume C1 becomes so large that an insulating layer 22 is made thin. Therefore, it is desirable to set the shading layer 20 as fixed DC potential, and to make an insulating layer 22 thin as mentioned above to secure retention volume C1 greatly.

59] As for these total retention volume C1+C2, it is good to set up by the following width of face according to the size of the pixel formed on the quartz substrate 10. When it is SVGA (Super Video Graphics Array) whose pixel size it is 20fF-200fF and is 800-600 dots when pixel density is VGA (Video Graphics Array) whose number is 640, it is 20fF-200fF.

60] After formation of the <formation process of 1st polysilicon contest layer 40> insulating layer 22, heating the quartz substrate 10 at about 500 degrees C, mono-silane (SiH4) gas was supplied by the flow rate of 500 cc/min, and the deposition film of an amorphous silicon (a-Si) was formed on the quartz substrate 10 by the pressure of 30Pa. By carrying out this processing for about 2 hours, the a-Si film of 0.055-micrometer thickness was formed.

61] Then, in N2 atmosphere, annealing processing was carried out at 640 degrees C for about 6 hours, and the polysilicon contest film was formed by solid phase growth. Although there is also the method of forming a polysilicon contest layer in CVD, the size of a grain will become fine if it is this. In this example, since solid phase growth of the film is carried out by \*\*\*\* from a-Si and it is considering as contest polysilicon, grain size is large, the formed polysilicon contest layer becomes close to the property of a single crystal, and the property as a semiconductor is raised.

62] Then, the 1st polysilicon contest layer 40 which has the pattern shown in drawing 3 (B) by operation of a photolithography process, an etching process, etc. is formed.

63] Although the thickness of this 1st polysilicon contest layer 40 loses in weight according to a next thermal oxidation process, as for the last thickness, it is good to be referred to as 0.02-0.15 micrometers. When less than this minimum, resistance of the 1st polysilicon contest layer 40 becomes large too much, and there is a possibility that it may become impossible to secure the ON state current. In addition, since a leakage current will increase if it becomes thickness beyond it in order to flow in the predetermined thickness field by the side of an MOS interface, as for this ON state current, it is desirable not to exceed the upper limit of the above-mentioned range.

64] \*\*\*\* of a <formation process of gate oxide film 42> (1) thermal-oxidation film -- the 1st polysilicon contest layer 40 was first oxidized thermally in 1000 degrees C and the atmosphere of 100% of dry oxygen for 30 minutes At this time, the 0.055-micrometer 1st polysilicon contest layer 40 was set to 0.04 micrometers, and 0.03-micrometer thermal oxidation film (SiO2) 42a was formed on the 1st polysilicon contest layer 40.

65] Drawing 7 shows the relation between thermal oxidation time and thermal oxidation thickness, and drawing 8 shows the relation between thermal oxidation thickness and the curvature produced in the 8 inch quartz substrate 10. Thermal oxidation temperature makes an upper limit 1050 degrees C set to 100 micrometers or less in the curvature of 8 inch quartz substrate 10, as shown in drawing 8 . At 1100 or 1150 degrees C for which thermal oxidation temperature exceeded 1050 degrees C, the curvature of the quartz substrate 10 cannot be pressed down to 100 micrometers or less so that clearly from drawing 8 .

66] Moreover, if the thermal oxidation time is long, it will put in another way, even if it oxidizes thermally below 1050 degrees C and the thickness of thermal oxidation film 42a will become thick, the curvature of the quartz substrate 10 cannot be pressed down to 100 micrometers or less. According to drawing 8 , below 1050 degrees C, thermal oxidation thickness can press [ thermal oxidation temperature ] down the curvature of the quartz substrate 10 to 100 micrometers or less by about 0.1 micrometers or less. However, other factors to the thermal oxidation thickness explained below has a still thinner desirable thing.

57] Drawing 9 (A) - (F) illustrates typically the electron microscope photograph of the MOS interface after thermal lation, and shows the dry area (irregularity) of the MOS interface for every thermal oxidation temperature. As shown his drawing, there are so few dry areas of an MOS interface that thermal oxidation temperature is high. In this ining, although thermal oxidation temperature is so good that it is high, if the curvature of the quartz substrate 10 is en into consideration, it may be necessary to be 1050 degrees C or less.

58] The bird clapper proved that the dry area of an above-mentioned MOS interface was so remarkable that thermal lation thickness is so thick that thermal oxidation time is long according to this invention person etc., if it puts in ther way, and the dry area of this MOS interface -- thermal oxidation film 42a on it -- film density -- rough -- \*\* -- a ion is produced, current will flow here intensively and the isolation voltage of thermal oxidation film 42a will fall to

59] When these things are taken into consideration, 0.015-0.05 micrometers of thickness of thermal oxidation film are 0.02-0.035 micrometers still more preferably. If the minimum of the thickness of thermal oxidation 142a is thinner than it, it is decided from the point that formation of the interface itself becomes difficult. The upper it is decided from a viewpoint which secures isolation voltage in view of the relation between the curvature of an ve-mentioned substrate, and temperature.

70] (2) Although an MOS interface with comparatively few dry areas can be formed, if it is only this, sufficient ation voltage is not securable with formation of the formation above-mentioned thermal oxidation film 42a of a D oxide film. Then, at this example, thermal oxidation film 42a which is irregular reflecting the dry area of an MOS rface is covered in SiO<sub>2</sub> film 42b formed of CVD with high step coverage capacity. This CVD oxide-film 42b is ned all over the quartz substrate 10 as shown in drawing 1. Thereby, the photolithography process for patterning, an ining process, etc. become unnecessary. Furthermore, in addition, the level difference produced on the front face of an ilator layer 50 and a transparent electrode 52 can be lessened between the 2nd layer which is the best layers of the rtz substrate 10 by forming CVD oxide-film 42b also in positions other than thermal oxidation film 42a shown in wing 1. For this reason, the rubbing processing for liquid crystal orientation becomes easy, and it becomes easy to ss down a substrate 10 and the cell gap between 12 in a desired dimensional accuracy.

71] This CVD oxide-film 42b is the atmosphere of the hyperoxia of 1:50 in flow rate, the gas (N<sub>2</sub>O), for example, peroxidation nitrogen, containing oxygen, the gas (SiH<sub>4</sub>), for example, the mono silane, containing silicon, and tied out the vapor growth of the SiO<sub>2</sub> film by the HTO method. Since CVD oxide-film 42b has a charge in erfluous silicon atmosphere, it is not desirable. The pressure at this time was set to 80Pa. Moreover, membrane nation temperature makes an upper limit the same 1050 degrees C as thermal oxidation temperature, and is 600-1000 degrees C preferably. An upper limit is for setting the curvature of the quartz substrate 10 to 100 micrometers or less, a minimum is decided from a viewpoint which secures the membranous quality of CVD film 42b. More ferably, still more preferably, 700-900 degrees C of this membrane formation temperature are made into 750-850 degrees C, in order to secure a step coverage 0.7 or more, as shown in drawing 10. A pressure is 300 or less pas ferably, and in order to secure a step coverage 0.7 or more as shown in drawing 11, it is set to 200Pa or less. hough there was especially no limit about the minimum of a pressure, as shown in drawing 11, it has checked that a h step coverage was obtained by the pressure of 40Pa. Moreover, in order to be referred to as 25-75 from a viewpoint ich makes homogeneity in the 10th page of a quartz substrate 10% or less and to make homogeneity within a field or less as shown in drawing 12, as for the flow rate (N<sub>2</sub> O/SiH<sub>4</sub>) of the gas (N<sub>2</sub>O), for example, peroxidation oxygen, which contains oxygen to the gas (SiH<sub>4</sub>), for example, the mono silane, containing silicon, it is good to set it 40-60.

72] As for the thickness of CVD oxide-film 42b, it is good to be referred to as 0.02 micrometers or more. This neric value is calculated from a viewpoint which secures gate pressure-proofing, and a step coverage improves, so t thickness is thick. The thickness of CVD oxide-film 42b can be determined in consideration of the total thickness of gate oxide film 42 which consists of this CVD oxide-film 42b and thermal oxidation film 42a. The thickness of this e oxide film 42 also influences the size of the retention volume C2 formed in the 1st and 2 polysilicon contest layers and 44. Retention volume C2 can be enlarged, so that thickness of the gate oxide film 42 is made thin. As for the ckness of a viewpoint to the gate oxide film 42 which secures this retention volume C2, it is good to be referred to as 5-0.12 micrometers.

73] Therefore, if it takes into consideration that the thickness of above-mentioned thermal oxidation film 42a is 15-0.05 micrometers in order to obtain this total thickness, the thickness of CVD oxide-film 42b is enough in 0.03- micrometers. When thickness of thermal oxidation film 42a is set to 0.02-0.035 micrometers as above-mentioned, thickness of CVD oxide-film 42b is enough in 0.05-0.09 micrometers.

74] Annealing of this CVD oxide-film 42b is carried out after that. Annealing was carried out by inert gas, for

nple, N<sub>2</sub> atmosphere, for 30 minutes in the range of 600-1000 degrees C, for example, 950 degrees C. Thereby, the arrangement of the defect in CVD oxide-film 42b can be carried out, and fixed charge can be missed. The above-mentioned temperature requirement is needed in order to miss fixed charge.

75] The mask of the field D of <formation process of capacitance to 1st polysilicon contest layer 40> drawing 3 (C) carried out, the impurity, for example, Lynn, was doped to the field which should make the capacity of the other 1st polysilicon contest layer 40 by the dose 3, for example, 3x10<sup>14</sup>/cm, and it was made to form the 1st polysilicon contest layer 40 of the portion into low resistance. As this dose, it is desirable to be referred to as 1.0x10<sup>14</sup> to 2.0x10<sup>15</sup>/cm<sup>3</sup>. A minimum is called for from a viewpoint which secures conductivity required in order to form capacitance in the 1st polysilicon contest layer 40, and if it is three or more 3.0x10<sup>14</sup>/cm more preferably, it will fully be formed into low resistance. The upper limit is searched for from a viewpoint which presses down degradation of the gate oxide film 42.

76] <The formation process of the 2nd polysilicon contest layer 44>, next the 2nd polysilicon contest layer are formed in the whole surface, and an impurity, for example, Lynn, is doped for the reduction in resistance. Then, a gate electrode is formed of the 2nd polysilicon contest layer 44 in which patterning was carried out by operation of a photolithography process and an etching process as shown in drawing 3 (D). In this example, the gate electrode 44 crosses twice to the polysilicon contest layer 40, and has dual gate structure. By considering as dual gate structure, the leakage current at the time of OFF can be reduced. In addition, it is good also as a single gate which crosses once to the polysilicon contest layer 40, without considering as the dual gate.

77] <the placing process of the impurity for transistor formation> -- first, in order to form an N type transistor, the light dose of impurity Lynn is carried out in the dose of 2x10<sup>13</sup>/cm<sup>3</sup> to the source of the field D of drawing 3 (D), and a drain field by using the 2nd polysilicon contest layer 44 used as the gate as a mask. Furthermore, a mask larger than the width is formed on the gate, in the dose of 2x10<sup>15</sup>/cm<sup>3</sup>, 2nd placing is carried out to the source field of drawing 3 (D), and high doping of the impurity boron is carried out to it. Thereby, the field by which the mask was carried out serves as a light doped drain. As for the dose at the time of this 2nd placing, it is good to be preferably referred to as 1x10<sup>12</sup> to 1.0x10<sup>14</sup>/cm<sup>3</sup>. If less than a minimum, resistance will become large and the ON state current will decrease. A leakage current will become easy to flow if an upper limit is exceeded. In this example, although considered the LDD structure of having a low concentration field and a high concentration field to a source drain field, you may be the offset structure from which it is not limited to LDD structure and is separated of the source drain field to the gate electrode. Or you may be the self aryne structure which forms a source drain field by using a gate electrode as a mask. Considering as LDD structure or offset structure, the leakage current at the time of OFF can be reduced. Therefore, leakage current at the time of OFF is further reduced by using together with above-mentioned dual gate structure.

78] Similarly, on the quartz substrate 10, the N type transistor used as a liquid crystal driver circuit is also formed. It is similarly formed about the P type transistor of a liquid crystal driver, namely, the light dose of the boron is carried out in the dose of 1.0x10<sup>13</sup>/cm<sup>3</sup> by using a gate electrode as a mask. Then, rather than a gate electrode, a latus mask is formed in gate electrode hunger, Lynn is driven in in the dose of 1.0x10<sup>15</sup>/cm<sup>3</sup>, and LDD structure is formed.

79] An insulating layer 46 is formed between <the formation process of the insulating layer 46 between the 1st layer>, next the 1st layer. This formed TEOS (tetrapod ethyl OSORU silicate) by 0.08-micrometer thickness by CVD under conditions with 140 cc/min, a substrate temperature [ of 680 degrees C ], and a pressure of 50Pa. Then, it is sealed at 950 degrees C for 20 minutes, the impurity in an insulating layer 46 was activated between the 1st layer, and membranous quality was raised. Then, it heated at 500 degrees C for 1 hour using the foaming gas which consists, for example of an argon and hydrogen. By this, the 1st polysilicon contest layer 40 was made to contain hydrogen, the uncombined portion was combined, the level in a gap was reduced, and improvement in the property of TFT30 is aimed at.

80] Furthermore, the 1st contact hole 47 was formed in the position shown in drawing 4 (A) by operation of a photolithography process and an etching process. As an etching process, wet etching was performed after operation of dry etching, and light etching for exposing the 1st polysilicon contest layer 40 was carried out.

81] By carrying out the spatter of the <formation process of metal wiring layer 48> aluminum (aluminum), and carrying out patterning after that, as shown in drawing 4 (B), the metal wiring layer 48 was formed. At this time, this metal wiring layer 48 is connected with the 1st polysilicon contest layer 40 through the 1st contact hole 47. This metal wiring layer 48 should just be the quality of the material which has conductivity, such as not only aluminum but Cr.

82] <the formation process of the insulating layer 50 between the 2nd layer> -- SiO<sub>2</sub> (BPSG) including boron and tin was formed in ordinary-pressure CVD as an insulating layer 50 between this 2nd layer TEOS, TEB (tetrapod ethyl silicate), and TMOP (tetrapod methyl OKISHI force rate) were used for process gas. Then, the 2nd contact hole 51 is formed in the position shown in drawing 4 (C) by operation of the same process as the 1st contact hole 47. In addition, the aspect ratio of the 2nd contact hole 51 is large, and when etching stop control in the range of the thickness

ie 1st polysilicon contest layer 40 is difficult, it is good to form for example, a polysilicon contest sheet etc. in the er layer of the 1st polysilicon contest layer 40.

33] Between the <formation process of transparent electrode 52> 2nd layer, on the insulating layer 50, the spatter of ITO (indium teens oxide) was carried out, patterning was carried out after that, and as shown in drawing 2 , the sparent electrode 52 was formed.

34] In addition, the back whom a photograph carrier produces by the reflected light although the switching element set to TFT in the above-mentioned example Two Back It is applicable also like the liquid crystal display panel ch made diode etc. the switching element.

35] Moreover, in the above-mentioned example, although the shading layer 20 and the insulating layer 22 were ned in the bottom of the 1st polysilicon contest layer 40, it is not necessary to necessarily prepare these.

36] <Explanation of liquid crystal panel> drawing 13 shows the example of a system configuration of the substrate which TFT of the liquid crystal panels of the above-mentioned example is formed. Each pixel 190 arranged esponding to the intersection of the gate line 102 and signal line 103 which were arranged so that it might cross ually, respectively consists of the pixel electrode 114 which consists of ITO etc., and TFT191. TFT191 impresses voltage according to the pixel signal on a signal line 103 to the pixel electrode 114. The gate is connected to the e gate line 102, and TFT191 of the same line (the direction of Y) is connected to the pixel electrode 114 to which drain corresponds. Moreover, TFT191 of the same train (the direction of X) is connected to the signal line 103 with same source. In this example, the transistor which the transistor which constitutes the circumference circuit (X, Y t register and a sampling means) 150,160 consists of polysilicon contests TFT which use a polysilicon contest layer layer of operation like TFT which drives a pixel, and constitutes the circumference circuit 150,160 is ultaneously formed of the same process with TFT for a pixel drive.

37] In this example, the shift register (X shift register is called hereafter) 151 which chooses the above-mentioned al line 103 as the unilateral ( drawing 13 on) of a viewing area (pixel matrix) 120 one by one is arranged, and the t register (Y shift register is called hereafter) 161 which chooses the above-mentioned gate line 102 one by one is ned in other unilaterals of a pixel matrix. Moreover, a buffer 163 is formed in the next step of the Y shift register 161 eeded. The switch (TFT) 152 for a sampling is formed, it connects with the video line 154,155,156 which transmits picture signals VID1-VID3 inputted into the external terminal 174,175,176, and a signal line 103, and these switches for a sampling are switched on / turned off one by one by the other end of the above-mentioned signal line 103 by sampling pulse outputted from the above-mentioned X shift register 151. The X shift register 151 forms the ppling pulses X1, X2, and X3 which choose all the signal lines 103 by a unit of 1 time in order during the 1 izontal scanning, and --Xn based on the clocks CLX1 and CLX2 inputted from the exterior through a terminal 173, and supplies them to the control terminal of the switch 152 for a sampling. On the other hand, the Y shift ister 161 operates synchronizing with the clocks CLY1 and CLY2 inputted from the outside through a terminal 178, and drives each gate line 102 one by one.

38] The cross section and flat-surface layout composition of a liquid crystal panel 130 which applied the above- ntioned liquid crystal panel are shown in drawing 14 (A) and (B). The glass substrate 131 (opposite substrate) by the e of the incidence which has the counterelectrode 133 and the light-filter layer 113 which change from the isparent membrane electrode (ITO) to which common electrode potential is impressed to the front-face side of the strate 110 for liquid crystal panels as shown in drawing sets a suitable interval, and is arranged, and it is constituted a liquid crystal panel 130 with which it fills up with TN (Twisted Nematic) type liquid crystal or SH (Super metotropic) type liquid crystal 137 in the gap closed by the sealant 136 in the circumference. Moreover, it is stituted so that it may be shaded by black MATOKUKKUSU prepared in the opposite substrate 131 above the umference circuit 150,160. In addition, the liquid crystal inlet 138 is formed in the opposite substrate 131.

39] The electronic equipment constituted using the liquid crystal display panel of the <explanation of electronic iipment> above-mentioned example is constituted including the display panels 1006, such as the source 1000 of a play information output shown in drawing 15 , the display information processing circuit 1002, the display drive circuit 1004, and a liquid crystal panel, the clock generation circuit 1008, and a power circuit 1010. The source 1000 of isplay information output is constituted including the tuning circuit which aligns and outputs memory, such as ROM RAM, and a television signal, and outputs display information, such as a video signal, based on the clock from the ck generation circuit 1008. The display information processing circuit 1002 processes and outputs display ormentation based on the clock from the clock generation circuit 1008. This display information processing circuit 1002 contain for example, amplification / inversion circuit, a phase expansion circuit, a rotation circuit, a gamma rection circuit, or a clamping circuit. The display drive circuit 1004 is constituted including a scan side drive circuit a data side drive circuit, and carries out the display drive of the liquid crystal panel 1006. A power circuit 1010

plies power to each above-mentioned circuit.

0] The equipment equipped with the video tape recorder of the personal computer dealing with multimedia (PC) engineering workstation (EWS) which are shown in the liquid crystal projector shown in drawing 16 and drawing the pager shown in drawing 18 or a cellular phone, a word processor, television, a viewfinder type, or a monitor etc viewing type, an electronic notebook, an electronic calculator, car navigation equipment, the POS terminal, and touch panel as electronic equipment of such composition can be mentioned.

1] The liquid crystal projector shown in drawing 16 is a projected type projector which used the penetrated type liquid crystal panel as a light valve, for example, the optical system of 3 board prism method is used for it. In drawing by the projector 1100, the projection light injected from the lamp unit 1102 of the white light source is divided into three primary colors of R, G, and B inside a light guide 1104 by two or more mirrors 1106 and the dichroic mirror 1108 of two sheets, and is led to the liquid crystal panels 1110R, 1110G, and 1110B of three sheets which display the picture of each color. And incidence of the light modulated by each liquid crystal panel 1110R, 1110G, and 1110B is led out to a dichroic prism 1112 from three directions. In a dichroic prism 1112, 90 degrees of light of Red R and Blue B are bent, since the light of Green G goes straight on, the picture of each color is compounded, and a color picture is projected on a screen etc. through the projection lens 1114.

2] The personal computer 1200 shown in drawing 17 has this soma 1204 equipped with the keyboard 1202, and the liquid crystal display screen 1206.

3] The pager 1300 shown in drawing 18 has the liquid crystal display panel 1304, the light guide 1306 equipped with back light 1306a, the circuit board 1308, the 1st, the 2nd shield board 1310, 1312 or 2 elastic conductors 1314 and 1316, and the tape carrier package tape 1318 in the metal frame 1302. Two elastic conductors 1314 and 1316 and the tape carrier package tape 1318 connect the liquid crystal display panel 1304 and the circuit board 1308.

4] Here, the liquid crystal display panel 1304 is what enclosed liquid crystal between two transparent substrates 1304a and 1304b, and a dot-matrix type liquid crystal display panel is constituted thereby at least. In addition to the information processing circuit 1004 shown in drawing 15, or this, the display information processing circuit 1002 can be formed in one transparent substrate. The circuit which is not carried in the liquid crystal display panel 1304 is made into an external unit, and, in the case of drawing 18, can be carried at the circuit board 1308.

5] Drawing 18 can also use what fixed the liquid crystal display panel 1304 to the metal frame 1302 as a housing as liquid crystal display for electronic equipment which is elegance a part, although the circuit board 1308 is needed in addition to liquid crystal display panel 1304, since the composition of a pager is shown. Furthermore, in the case of a light formula, in the metal frame 1302, the liquid crystal display panel 1304 and the light guide 1306 equipped with back light 1306a can be incorporated, and a liquid crystal display can be constituted. As it replaces with these and shown in drawing 19, TCP (Tape Carrier Package) 1320 which mounted the IC chip 1324 can be connected to the polyimide tape 1322 on which the metaled electric conduction film was formed in one side of two transparent substrates 1304a and 1304b which constitute the liquid crystal display panel 1304, and it can also be used as a liquid crystal display for electronic equipment which is elegance a part.

96]

---

anslation done.]

## OTICES \*

an Patent Office is not responsible for any  
ages caused by the use of this translation.

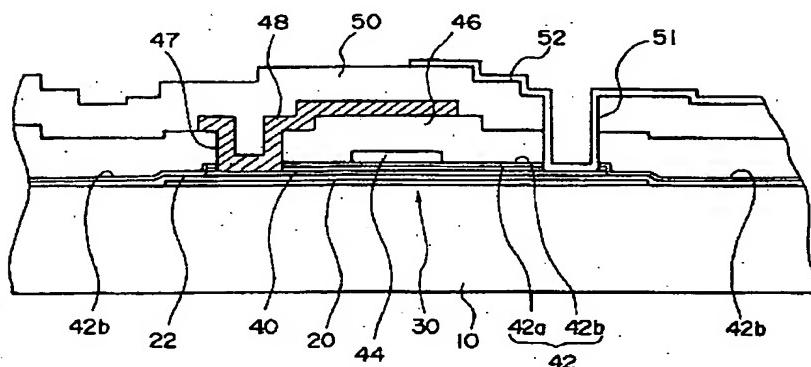
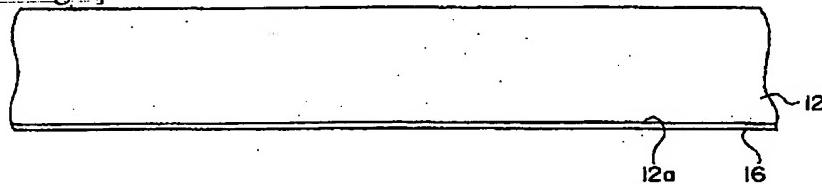
This document has been translated by computer. So the translation may not reflect the original precisely.

\*\*\* shows the word which can not be translated.

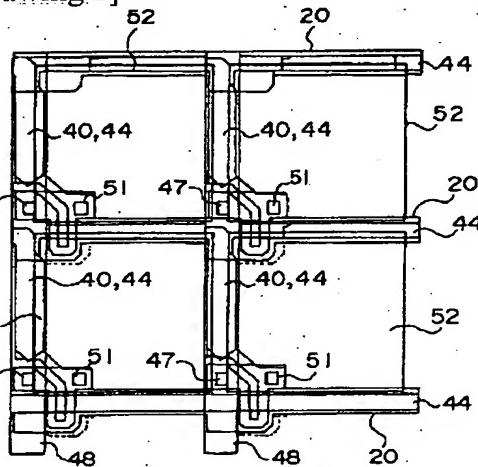
In the drawings, any words are not translated.

## AWINGS

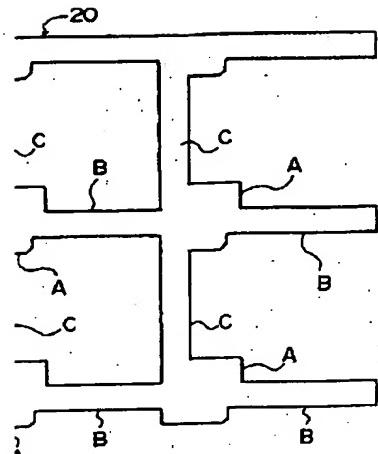
## awing 1]



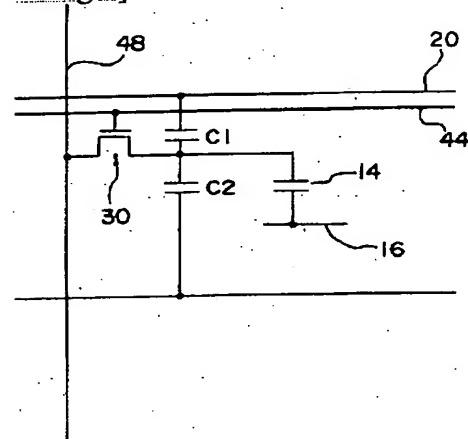
## awing 2]



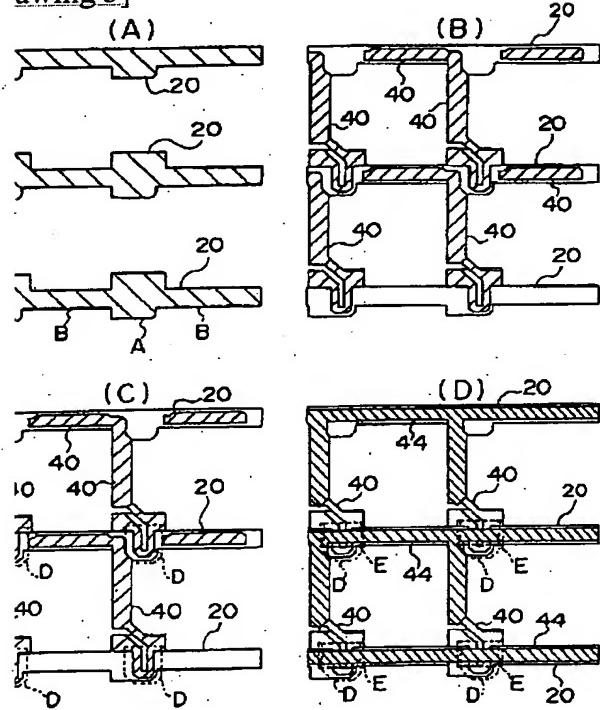
## awing 5]



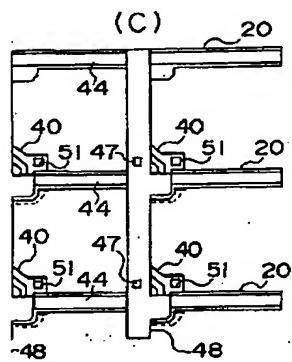
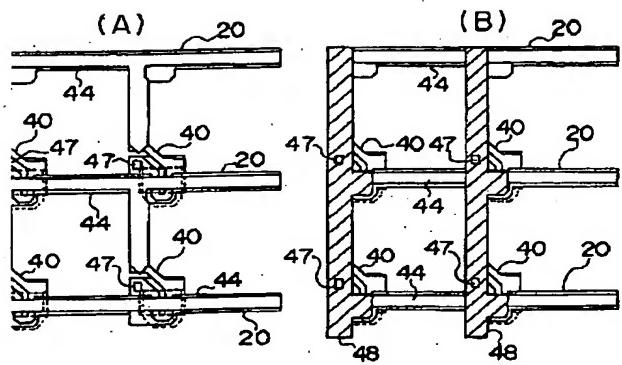
Drawing 6]



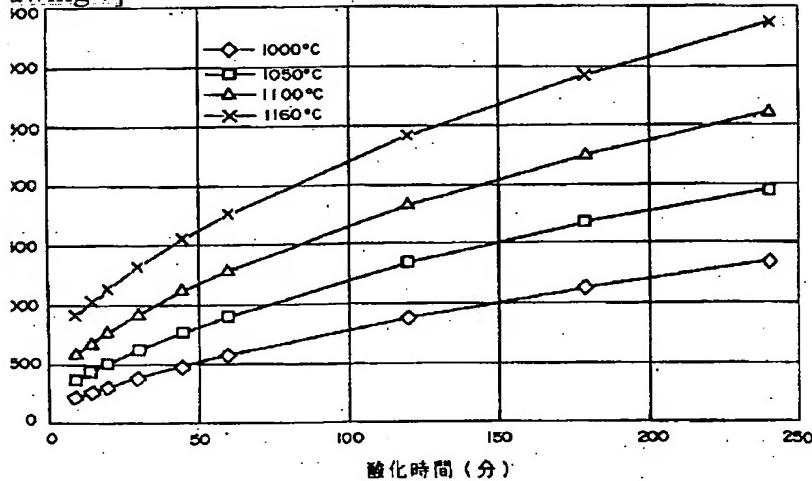
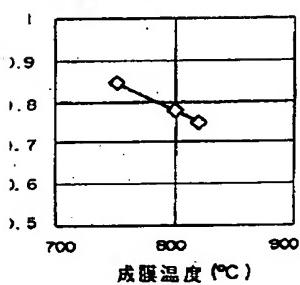
Drawing 3]



Drawing 4]

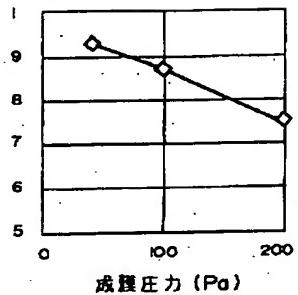


Drawing 7]

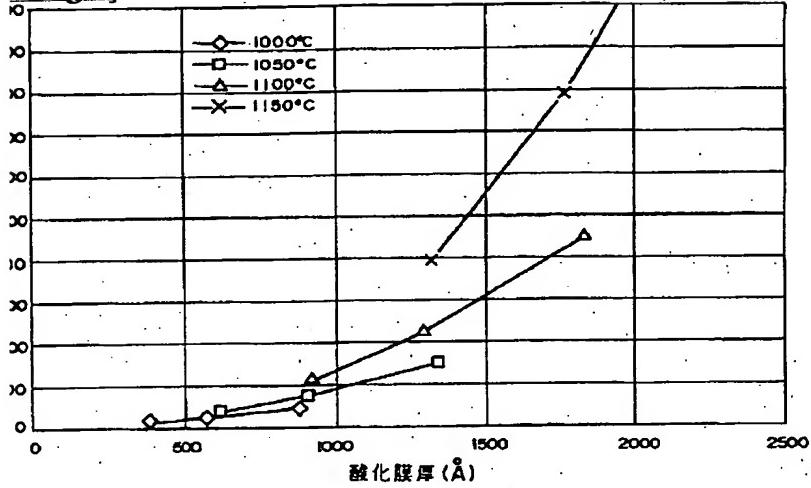
Drawing 10]  
温度依存性

Drawing 11]

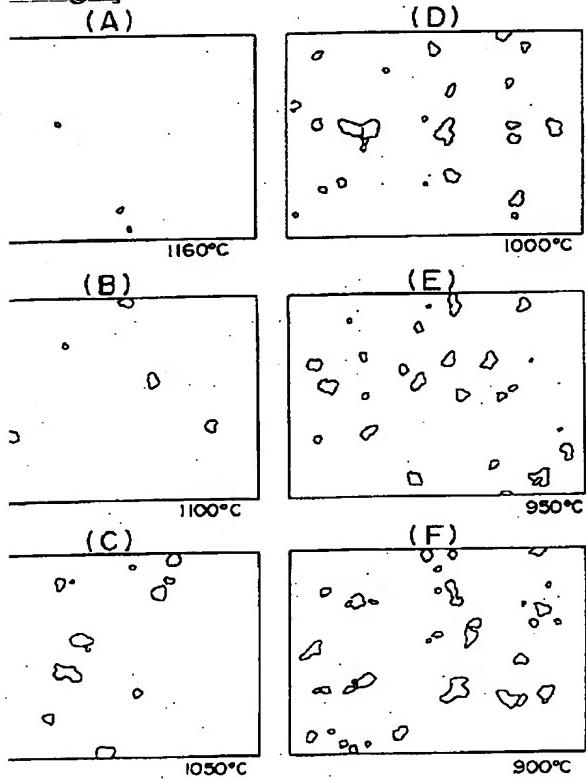
压力依存性



Drawing 8]

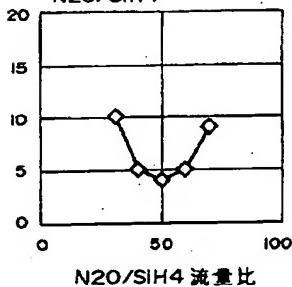


Drawing 9]

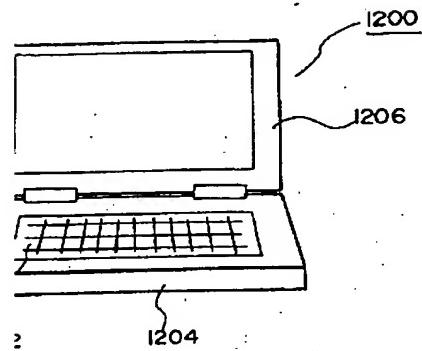


rawing 12]

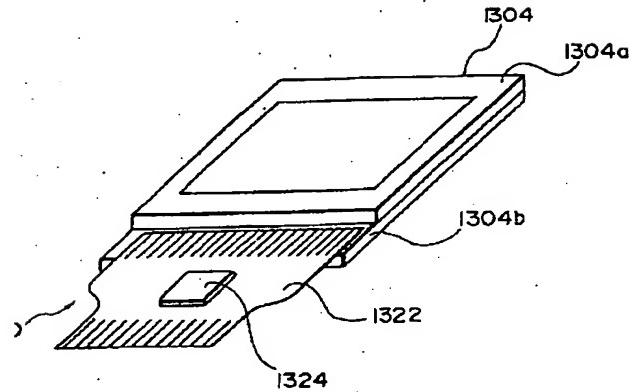
流量比依存性

N<sub>2</sub>O/SiH<sub>4</sub>

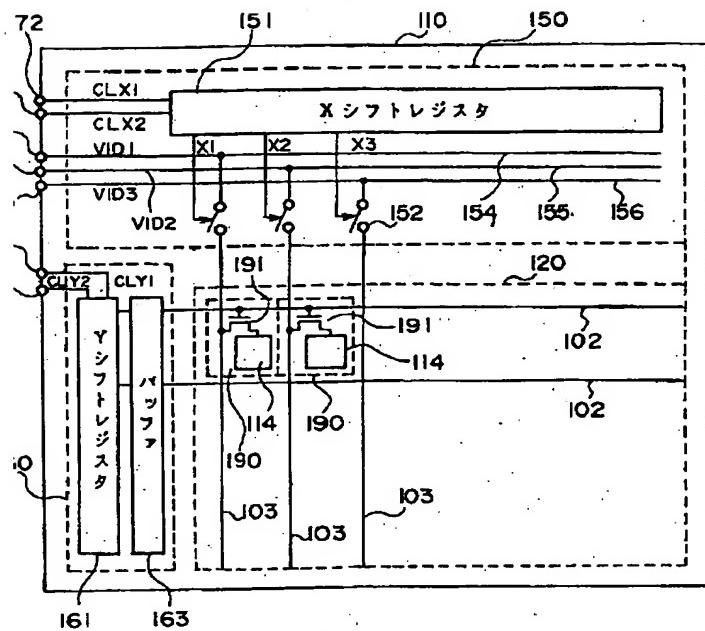
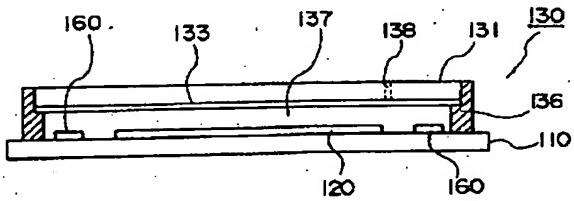
rawing 17]



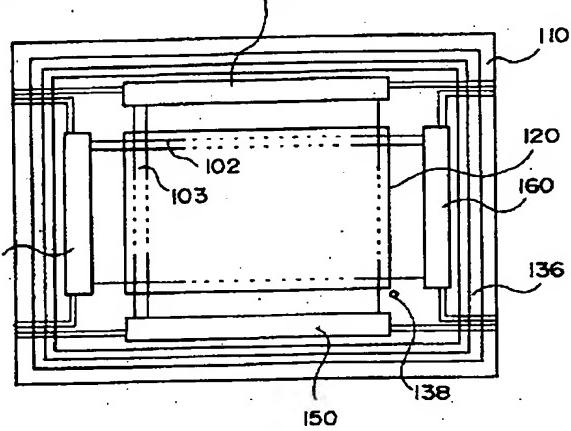
rawing 19]



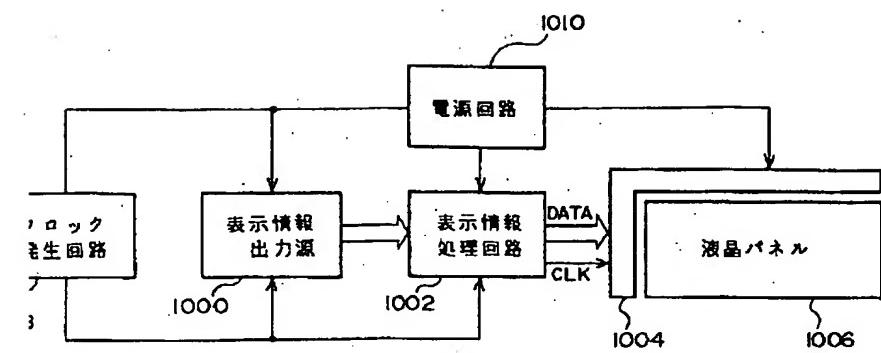
rawing 13]

Drawing 14]  
(A)

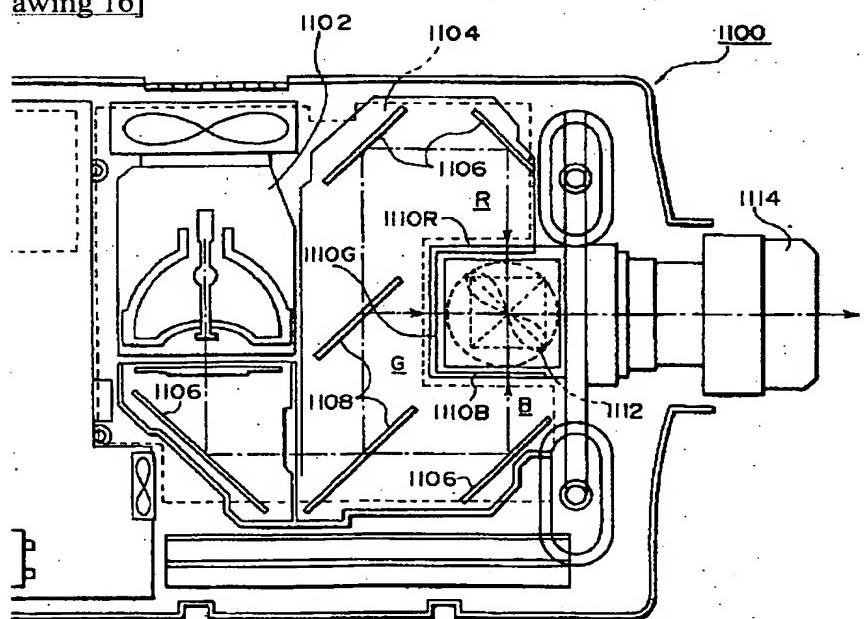
(B)



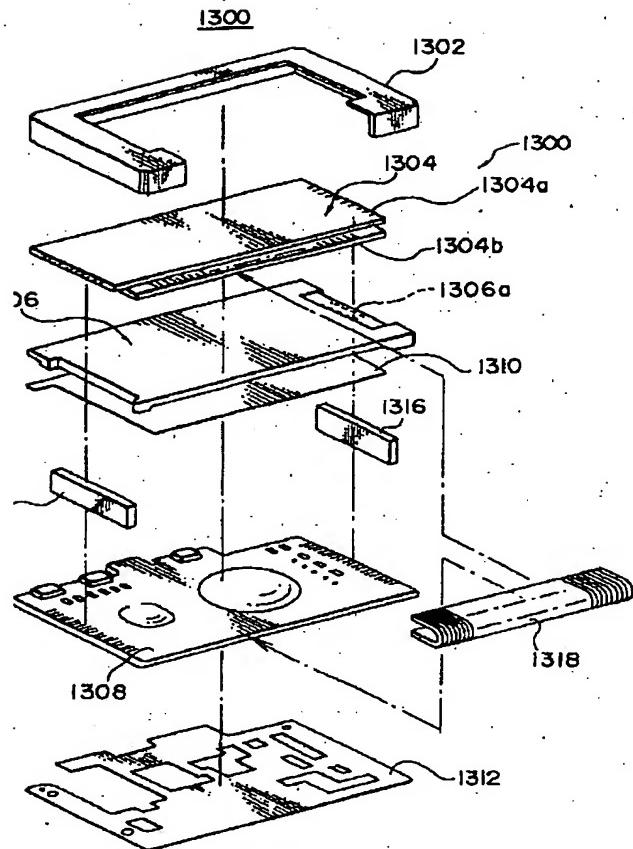
Drawing 15]



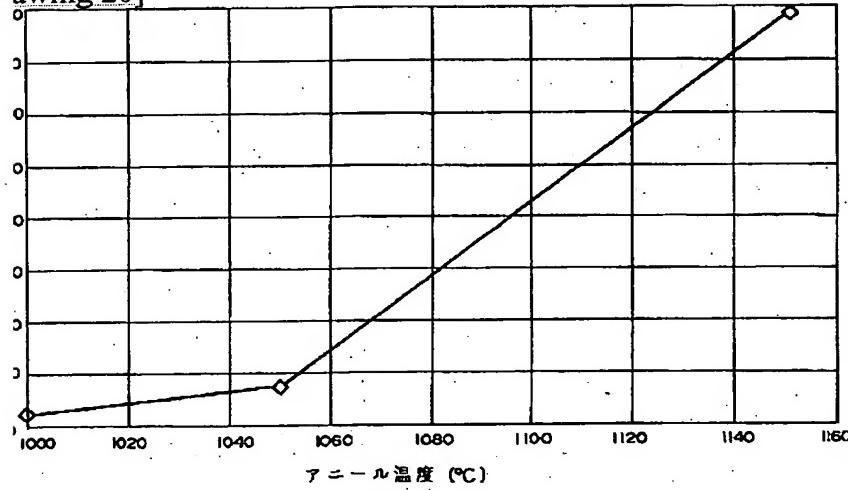
Drawing 16]



Drawing 18]



Drawing 20]



anslation done.]

NOTICES \*

The Patent Office is not responsible for any  
expenses caused by the use of this translation.

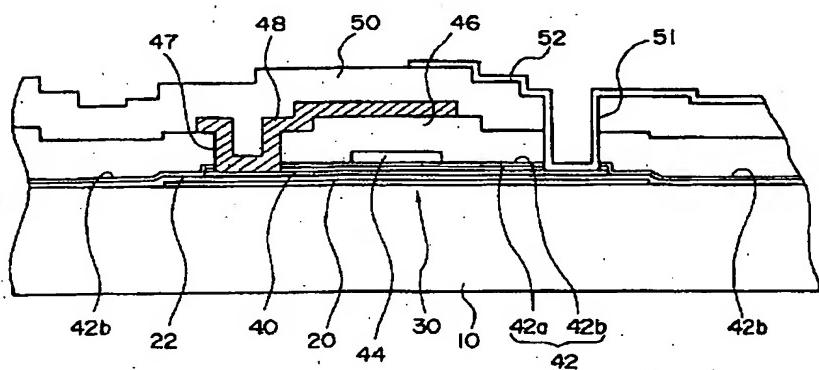
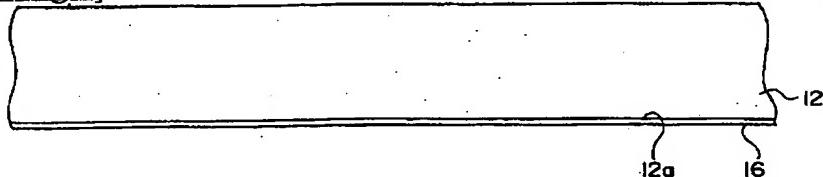
This document has been translated by computer. So the translation may not reflect the original precisely.

\*\* shows the word which can not be translated.

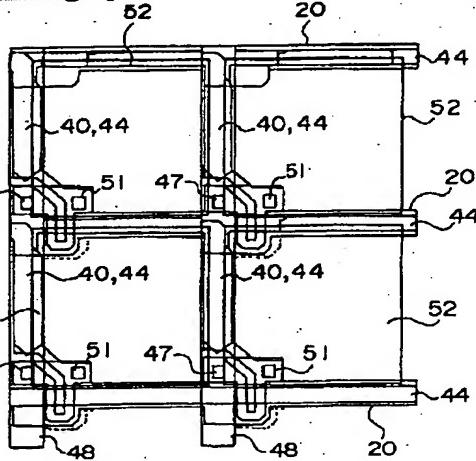
the drawings, any words are not translated.

AWINGS

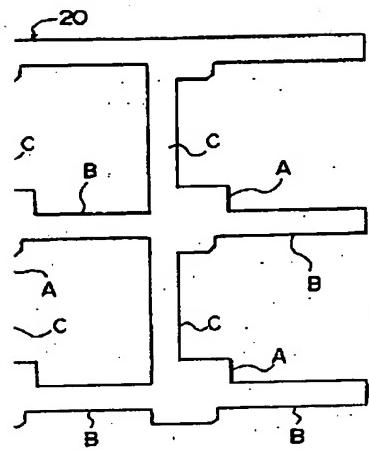
wing 1]



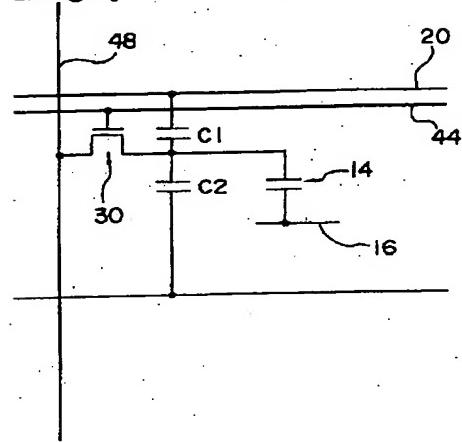
awing 2]



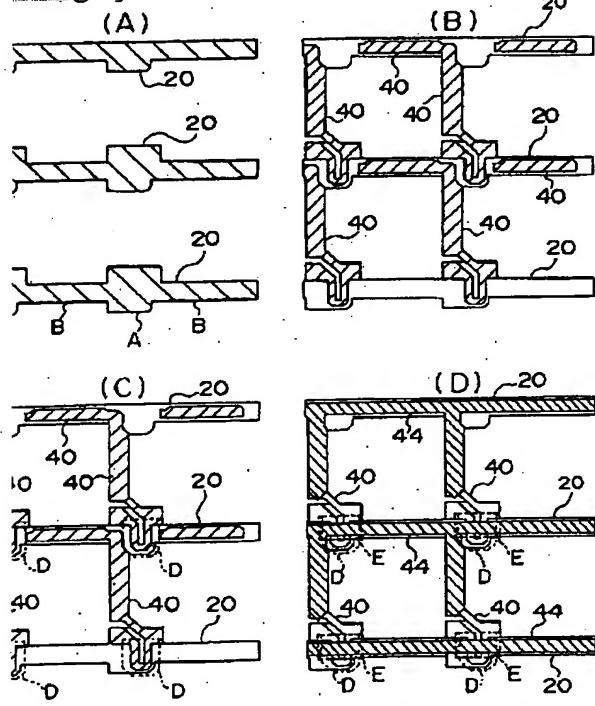
### awing 5]



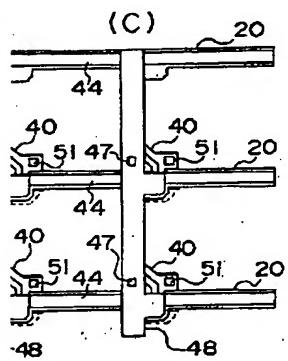
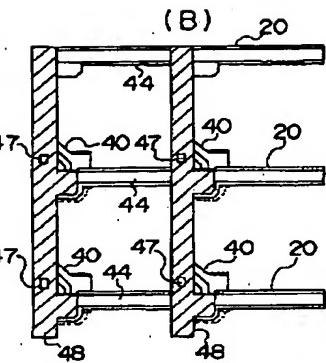
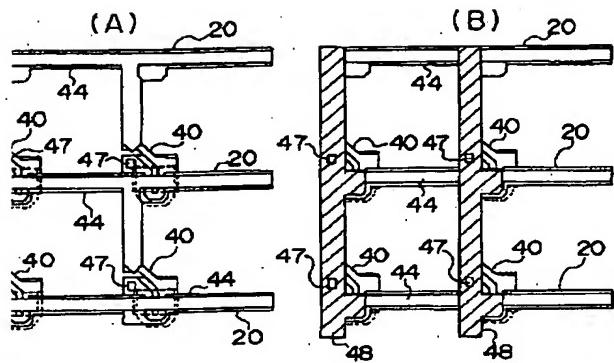
[wing 6]



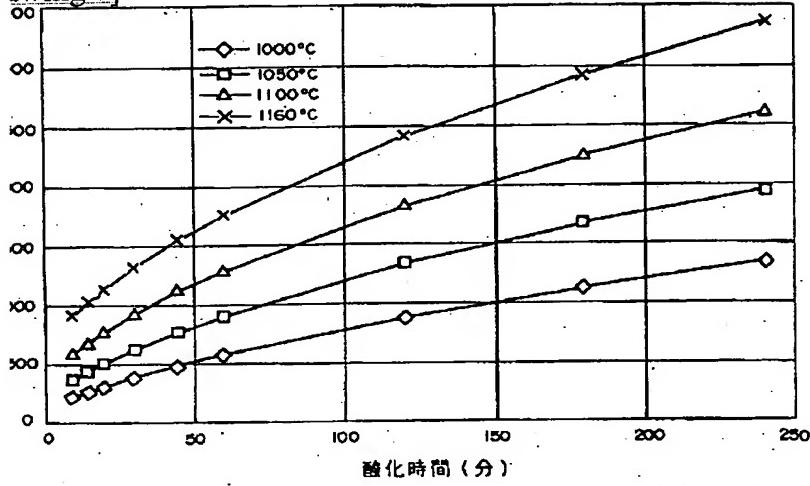
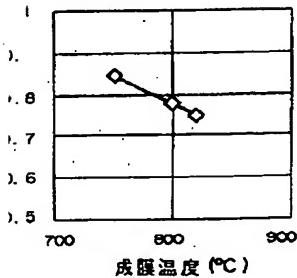
[wing 3]



[wing 4]

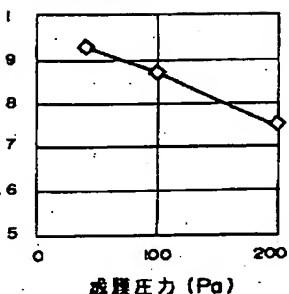


Drawing 7]

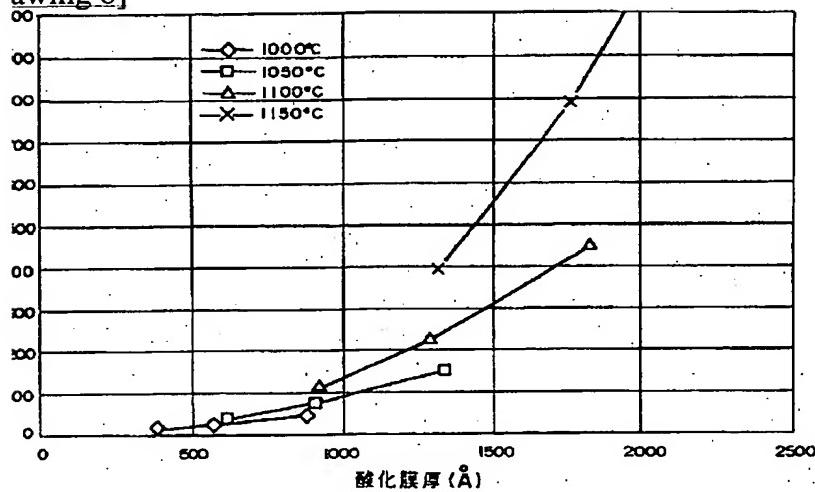
Drawing 10]  
温度依存性

Drawing 11]

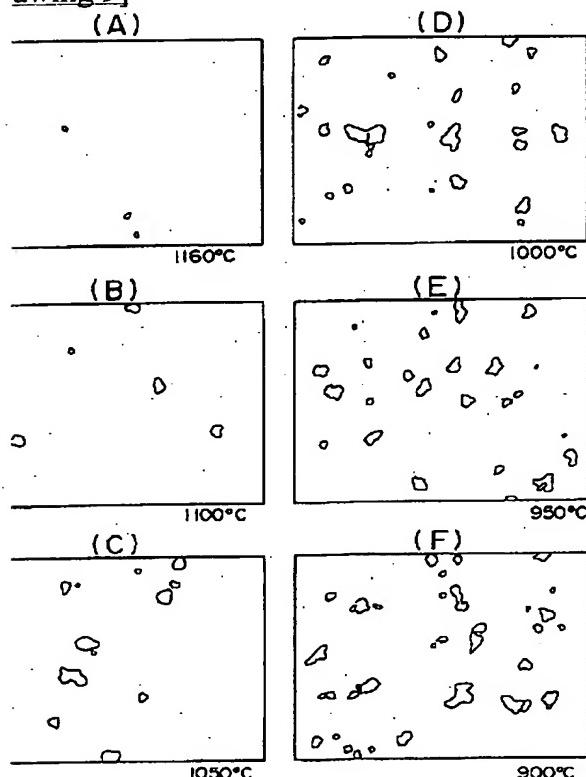
压力依存性



awing 8]

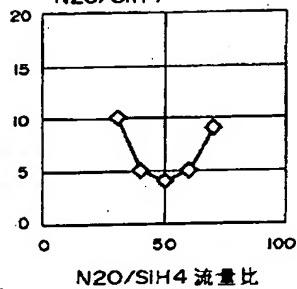
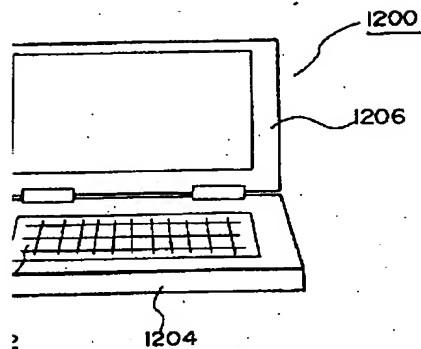
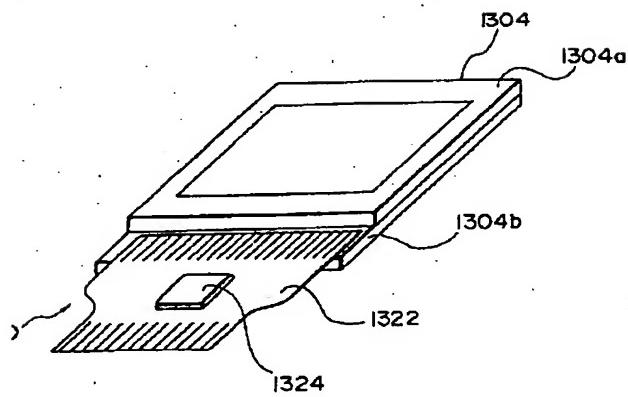


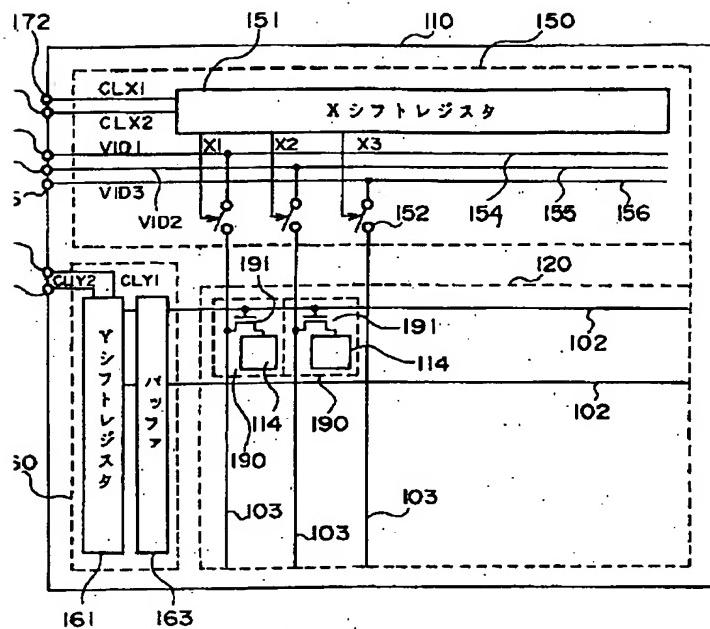
awing 9]



rawing 12]

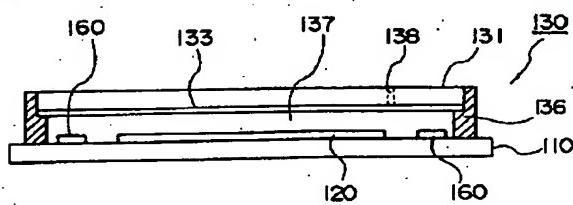
流量比依存性

N<sub>2</sub>O/SiH<sub>4</sub>rawing 17]rawing 19]rawing 13]

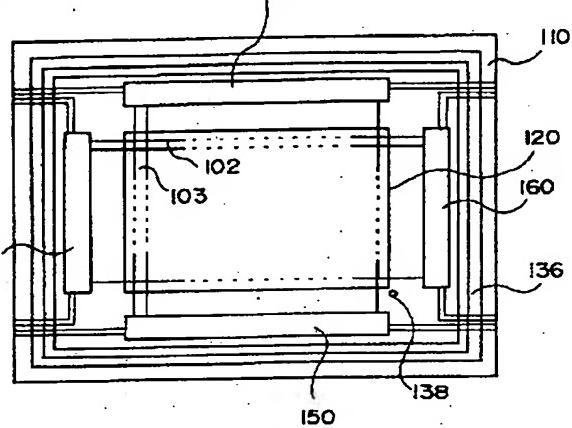


Drawing 14]

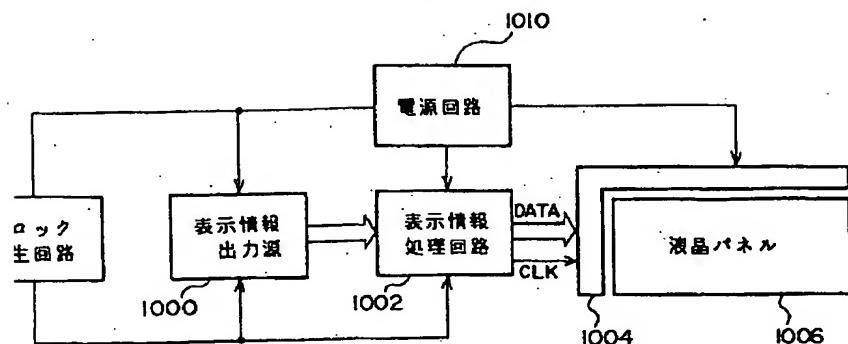
(A)



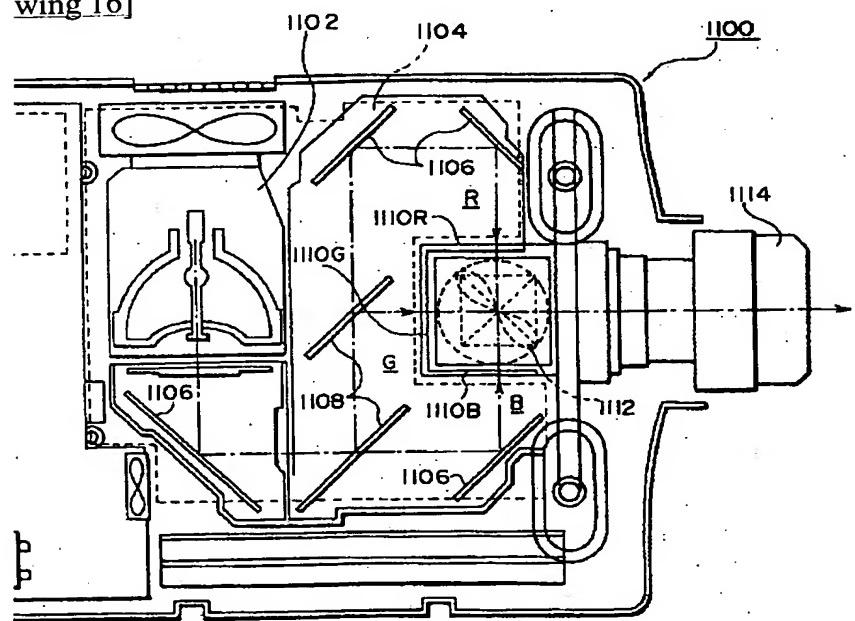
(B)



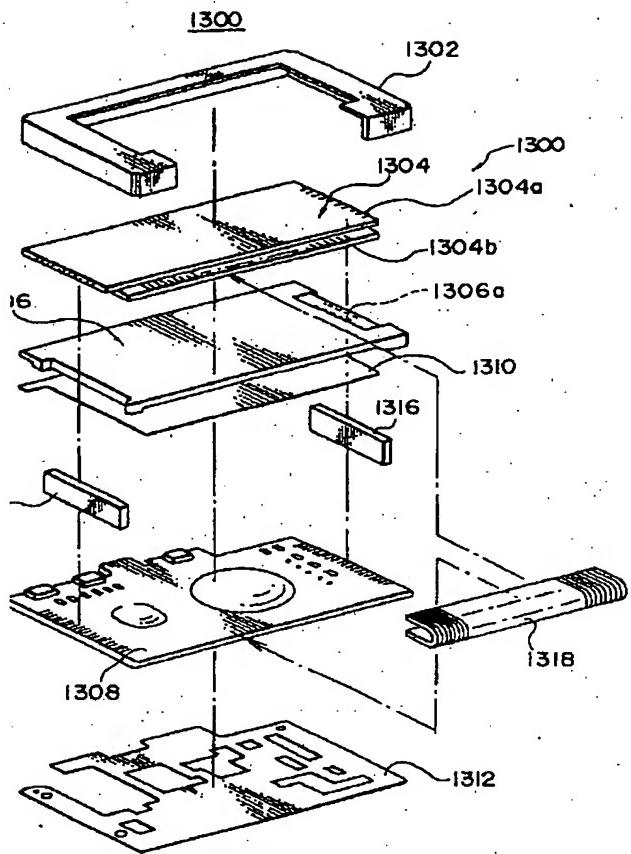
Drawing 15]



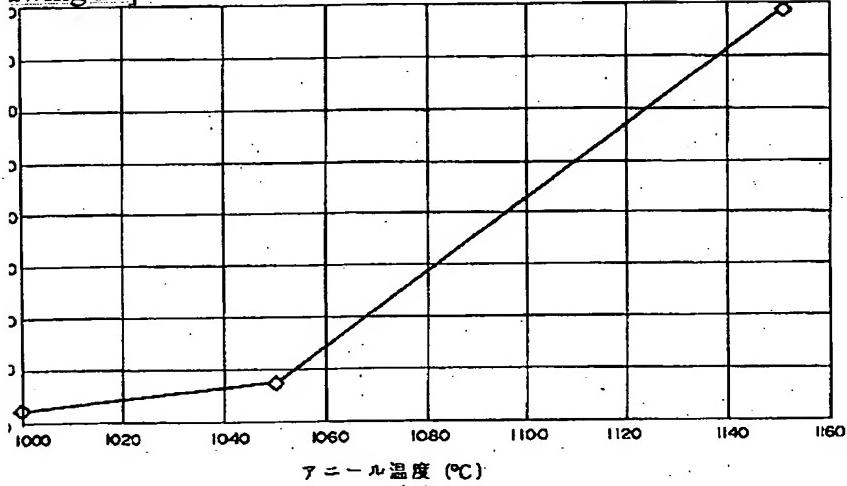
wing 16]



awing 18]



awing 20]



anslation done.]